

红外焦平面读出电路集成数字输出

高磊^{1,2}, 翟永成^{1,2}, 梁清华^{1,2}, 蒋大钊^{1,2}, 丁瑞军¹

- (1. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;
2. 中国科学院大学, 北京 100049)

摘要: 为了实现红外焦平面数字化输出, 设计了一种集成片上模数转换的焦平面读出电路, 包括一个 512×512 的读出电路单元阵列和列共享的逐次逼近寄存器型模数转换器(SAR ADC)。单元读出电路采用了直接注入(DI)结构作为输入级, 输出的信号通过多路传输送到模数转换器。设计的逐次逼近型的模数转换器中的比较器采用的是由前置放大器、锁存器、自偏置差分放大器和输出驱动器组成的高速比较器, 数模转换器(DAC)采用的是三段式的电荷按比例缩放和电压按比例缩放相结合的结构。在 Cadence 和 Synopsys 设计平台下对模拟和数字部分电路分别进行设计、仿真与版图设计。电路工艺采用 GLOBALFOUNDRIES 公司 0.35 μm CMOS 3.3 V 工艺加工流片。测试结果显示 SAR ADC 有效位数为 8.2 位, 转换频率超过 150 k Samples/s, 功耗低于 300 μW, 满足焦平面 100 帧频以及低功耗的需求。

关键词: 红外焦平面; 读出电路; 片上 ADC; SAR; DAC

中图分类号: TN21 **文献标志码:** A **文章编号:** 1007-2276(2015)06-1686-06

IRFPA ROIC integrated digital output

Gao Lei^{1,2}, Zhai Yongcheng^{1,2}, Liang Qinghua^{1,2}, Jiang Dazhao^{1,2}, Ding Ruijun¹

- (1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to achieve infrared focal plane digital output, an IRFPA readout circuit integrated on-chip ADC was designed, including a 512×512 cell array readout circuit and shared the successive approximation register analog to digital converters (SAR ADC). Unit readout circuit using direct injection (DI) structure as the input stage, the output signal was sent through the multiplexes to ADC. The comparator designed in successive approximation ADC was a high-speed comparator which consisted of the preamplifier, latches, self-biasing differential amplifiers and output drives. The digital to analog converter (DAC) used a three-stage structure which the charge scaling was combined of voltage scaling. Using the Cadence and Synopsys design platform for circuit's design, simulation and layout design. The circuit was taped out by GLOBALFOUNDRIES company using 0.35 μm, 3.3 V CMOS process. Test results show the number of significant digits of ADC is 8.2 bit, converts frequency is 150 k Samples/s,

收稿日期: 2014-10-14; 修订日期: 2014-11-23

作者简介: 高磊(1989-), 男, 博士生, 主要从事红外焦平面读出电路和片上 ADC 方面的研究。Email: superior604@163.com

导师简介: 丁瑞军(1964-), 男, 研究员, 博士生导师, 主要从事集成电路设计、红外光电器件及物理、分析和评价技术等方面的研究。

Email: dingrj@mail.sitp.ac.cn

power consumption less than 300 μ W and meet the needs of focal plane 100 frame rates as well as low power consumption.

Key words: IRFPA; ROIC; on-chip ADC; SAR; DAC

0 引言

随着红外焦平面技术的日益更新,更大的阵列、更低的功耗以及更快的速度成为发展的主要方向^[1]。而实现上述焦平面技术发展要求的一个主要技术,就是实现片上集成数模转换(ADC)功能。将ADC集成到红外焦平面读出电路内,可以避免芯片间模拟信号的传输,大幅度降低噪声;同时片上集成ADC可以降低系统的功耗以及提高系统的传输速度^[2]。

片上集成ADC通常有三种实现方式:芯片级、行列级以及像素级^[3]。芯片级ADC需要相当快的转换速度,对于大阵列的焦平面读出电路在功耗和面积上没有太大的优化;像素级ADC对于版图以及读出电路单元电路的面积要求比较苛刻而且很难做到高的精度。因此,选用了行列级ADC实现焦平面电路数字输出功能。

文中介绍了一种集成逐次逼近型(SAR)ADC的红外焦平面读出电路。焦平面读出电路工作在77 K温度,中心距30 μ m,帧频100 Hz。设计要求ADC要具有超低功耗,较快的转换速度、合适的版图面积以及高的转换精度。

1 电路整体结构设计

按照设计要求,红外焦平面读出电路单元面积为30 μ m \times 30 μ m,阵列大小为512 \times 512。考虑电路设计主要的重点和难点在于ADC电路的精度,因此选取简单易用的DI结构作为焦平面电路的输入级。考虑到单元电路的面积较小,像素级ADC设计难度较大,而芯片级ADC对于大阵列的焦平面电路的转换速度以及功耗都是相当大的限制因素。因此,综合考虑后选取了行列级ADC结构。由于阵列单元面积的限制,使得行列级ADC设计限制了其版图宽度只能为30 μ m,这点对于文中选用的SAR结构ADC电路设计制约比较大,增加了其版图中电容电阻阵列对称性设计的难度。文中增加了其版图设计宽度到60 μ m,将512个行列级ADC分为两部分,分布在焦

平面阵列的两侧。

电路整体结构包含有一个512 \times 512的DI输入级单元阵列电路、512个行列级ADC、焦平面数字控制电路以及数字输出控制电路。ADC设计包括三段式DAC、比较器以及数字控制和寄存器。电路整体结构框图如图1所示^[4]。

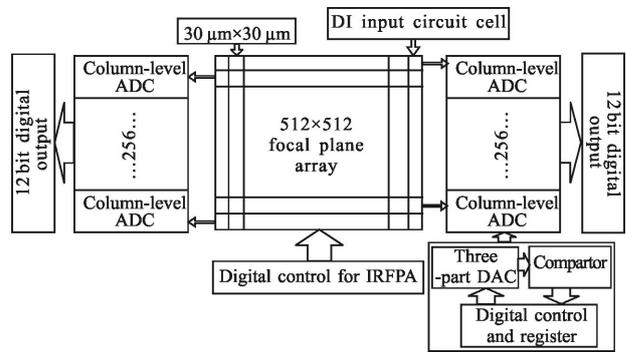


图1 电路整体结构

Fig.1 Overall structure of the circuit

2 单元读出电路设计

红外焦平面读出电路工作链路如图2所示,探测器将红外光信号转换成电信号,单元读出电路将探测器输出的电信号进行采样放大,然后将处理后的信号送入行列级ADC将模拟信号转换成数字信号,最后输出数字信号^[5]。因此单元读出电路是红外焦平面读出电路十分重要的部分。

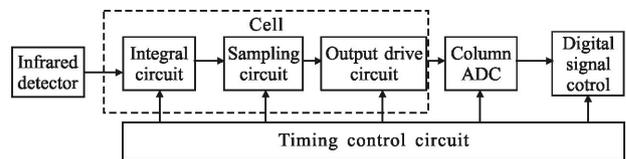


图2 电路工作框图

Fig.2 Block diagram of circuit work

文中设计采用了直接注入(DI)结构作为焦平面读出电路的单元读出电路^[6]。图3为DI读出电路的具体结构,包含有注入管M1、积分管M2、复位管M3、M5,采用开关M4、积分电容C1、采样电容C2,带有开关控制的源随缓冲器SF。采用边积分边读出

的工作模式。DI 单元读出电路工作时,注入管 M1 工作在亚阈值区,断开 M2、M4,打开 M3、M5,使得积分电容 C1 复位到 3.3 V 电源电压,采样电容 C2 上电荷为 0。然后断开 M3、M5,打开 M2,由于红外光在探测器上产生漏电流,使得电容 C1 上电压下降,电流信号转换成电压信号。积分时间结束后关闭 M2,打开 M4,采样电容 C2 上获得电压信号。然后关闭 M4,打开 SELECT 控制的源随缓冲器,使得信号输出到后级电路进行处理,而此时打开 M3、M5 对电容进行复位,从而达到在后级电路处理输出信号的同时对探测器的电路信号进行积分操作。

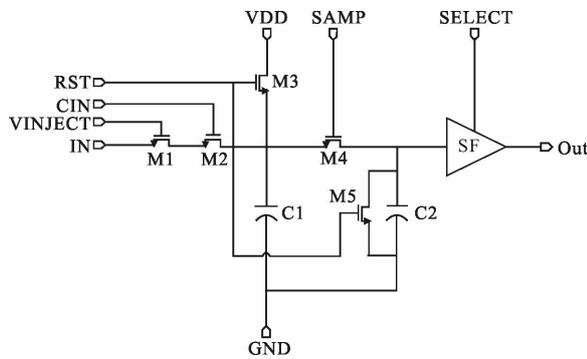


图 3 DI 电路结构

Fig.3 Detail structure of DI circuit

3 行列级 ADC 设计

3.1 片上 ADC 结构的选择

根据 ADC 与焦平面像素之间的位置关系将焦平面片上集成 ADC 可以分为三种结构:芯片级 ADC、行列级 ADC、像素级 ADC^[7]。

芯片级 ADC 的工作方式是:焦平面读出电路将红外探测器阵列图像信号转换成模拟电压信号,通过行列移位寄存器依次读出到芯片级 ADC 上,每个像素输出的模拟电压信号依次转换为数字信号,并最终输出。面对越来越大的焦平面阵列,芯片级 ADC 的转换速度也需要越来越快,ADC 芯片在高频率下工作,功耗会急剧增加,因此在大阵列下,高速芯片级 ADC 必然会提高电路整体的功耗,由于功耗的问题,限制了芯片级 ADC 在红外焦平面电路中的应用。

像素级 ADC 结构中,每个像素单元电路或者几个像素单元电路对应一个 ADC,像素读出信号直接进入 ADC 转换成数字信号。像素级 ADC 对 ADC 的

速度要求很低,可以采用非常低功耗的 ADC;但是由于像素级 ADC 是集成在像素单元读出电路内,在像素越来越小的发展趋势下,对于版图面积设计产生了难题。尤其是在小面积低功耗下还需要高的精度,使得虽然像素级 ADC 有好的发展前景,但是目前情况下还是很难以解决以上难题。

相比芯片级和像素级 ADC,行列级 ADC 由于其折中的结构,每行像素单元电路共享一个 ADC,可以在设计面积、精度、功耗上都有一个好的折中,因而成为红外焦平面读出电路片上集成 ADC 的主流结构。

根据 512×512 焦平面阵列的设计要求,文中选用了精度、面积、功耗以及转换速度都比较合适的逐次逼近寄存器型(SAR)ADC,作为焦平面行共享 ADC。SAR 结构 ADC 具体结构如图 4 所示,包含有一个三段数模转换器(DAC)、一个高精度高速比较器以及一个数字控制逻辑电路和寄存器^[3]。

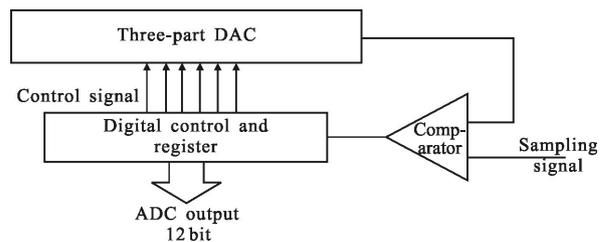


图 4 SAR ADC 结构示意图

Fig.4 Schematic diagram of SAR ADC

3.2 DAC 结构和原理

三段式数模转换器是由电容和电阻阵列以及控制开关组成,其中数模转换器的分压模式是:电容阵列对高位分压,电阻阵列对低位分压;而高位分压电容阵列又由两个电容阵列组成,中间由一个高精度缩放电容隔开^[3]。图 5 为文中设计的三段式数模转换器(DAC),它的最高有效位(MSB)子 DAC 采用电荷按比例缩放,而最低有效位(LSB)子 DAC 采用电压按比例缩放。其中 MSB 子 DAC 采用一个 4 位电荷按比例缩放子 DAC 和一个 5 位电荷按比例缩放子 DAC 组成,通过在两个子 DAC 之间加上一个缩放电容 C_s 实现。电容阵列采用相同大小的电容 C_0 组成。 C_s 和 LSB 子电荷缩放电容阵列的串联组合值必须等于 C_0 , C_s 的值可以由公式(1)^[3]得出:

$$\frac{C_0}{2} = \frac{1}{\frac{1}{C_s} + \frac{1}{8C_0}} \quad (1)$$

因此缩放电容 C_s 应为 $8C_0/15$ 。

LSB 子 DAC 的输出电压, 可以用 LSB4 位控制码 $L_4L_3L_2L_1$ 表示, 如公式(2)^[3]:

$$V_{LSB} = \left(\frac{L_4}{2^1} + \frac{L_3}{2^2} + \frac{L_2}{2^3} + \frac{L_1}{2^4} \right) (V_{REF_2} - V_{REF_1}) \quad (2)$$

可以算出 DAC 的输出电压表达式, 如公式(3)^[3]:

$$V_{out} = \left(\frac{S_9}{2^1} + \frac{S_8}{2^2} + \dots + \frac{S_1}{2^9} \frac{L_4}{2^{10}} + \frac{L_3}{2^{11}} + \frac{L_2}{2^{12}} + \frac{L_1}{2^{13}} \right) \times (V_{REF_2} - V_{REF_1}) \quad (3)$$

公式(2)中控制码 $L_4L_3L_2L_1$ 为 4 位二进制数, 控制着 LSB 子 DAC 电阻阵列开关的打开和闭合, 控制码转换成十进制对应的开关下标, 表示此开关闭合, 其余开关打开。公式(3)中, $S_1 \sim S_9$ 表示双向开关的连接关系, S 为 1 表示双向开关连接 V_{REF_2} , S 为 0 表示双向开关连接 V_{REF_1} 。 V_{REF_2} 和 V_{REF_1} 为模数转换器基准电压。

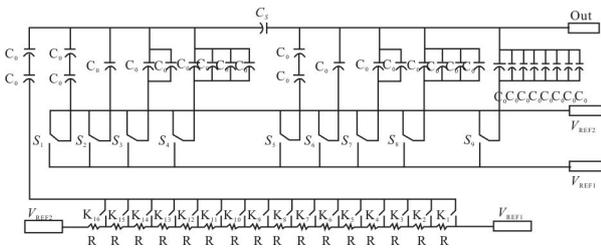


图 5 三段式 DAC 结构

Fig.5 Three-stage structure of DAC

3.3 比较器的设计

高速比较器应尽可能地降低其传输延迟, 所以设计的基本原则是采用前置放大器使输入的变化足够大并将其加到锁存器上。这组合了电路的最佳特点: 一种是具有负指数响应的前置放大器, 另一种是具有正指数响应的锁存器电路^[6]。一个遵循上述原则设计的高速比较器如图 6。第一级是一个递增益高

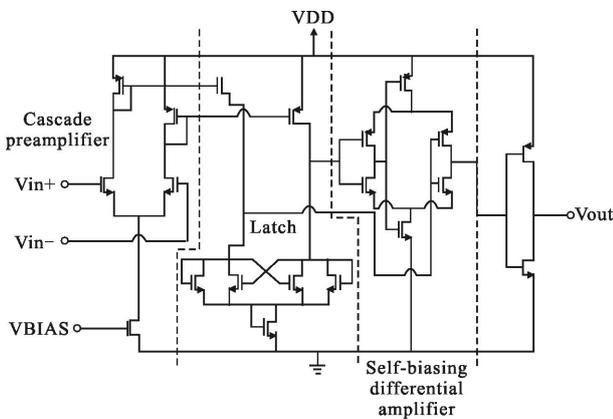


图 6 高速比较器结构

Fig.6 Structure of high-speed comparator

带宽前置放大器, 它驱动锁存器。锁存器的输出用来驱动一个自偏置差分放大器。自偏置差分放大器的输出驱动一个输出驱动器。仿真结果表明这个高速比较器能够分辨 2 MHz、差值为 500 mV 的差分信号。

3.4 SAR ADC 工作原理

SAR ADC 是通过逐次逼近算法, 每次取最大电压值区间的一半值与采样电压进行比较, 从而得出每个数字位的输出。逐次逼近型模数转换器的工作模式如下:

数字控制电路产生首位为“1”其余位为“0”的一串数字信号, 通过数模转换器转换为电压信号并与输入的采样信号通过比较器比较大小。比较器的输出结果输入到数字控制电路, 用于确定模数转换器的输出信号首位数字码, 比较器输出为“1”则首位数字码为“1”, 比较器输出为“0”则首位数字码为“0”。一次比较结束后, 数字控制电路将次位数字码改为“1”, 首位数字码为上一时钟比较器所确定的数字码, 其余位为“0”, 将产生的数字信号通过数模转换器转换成模拟信号并与输出采样信号通过比较器比较大小, 从而确定数模转换器输出信号次位数字码。依此进行 N 个时钟周期, 就能确定 N 位模数转换器的数字输出。整个过程结束, 即完成了一次模拟量到数字量的转换, N 位转换结果存储在寄存器内, 这就是最终输出所转化模拟量的数字码。文中设计的 SAR 结构 ADC 为 12 bit 精度, 转换一次需要 13 个时钟周期, 转换速度为 154 kHz, 工作时钟为 2 MHz。

4 ADC 芯片测试

对于 ADC 性能的描述可以分为静态特性和动态特性。静态特性主要包含失调误差、增益误差、积分非线性以及微分非线性。ADC 最主要的动态特性就是转换时间, 即输入的模拟信号改变时, 输出数字信号转变所需要的时间。ADC 的各项静态性能指标均由输入输出测试的曲线计算得出。

整个 ADC 版图布局如图 7 所示, 版图面积为 $60 \mu\text{m} \times 1 \text{mm}$ 。芯片采用 GLOBALFOUNDRIES 公司 $0.35 \mu\text{m}$ 、3.3 VCMOS 工艺加工。实际芯片测试如图 8 所示, 芯片封装后插入 PCB 测试板基座上。测试 ADC 的静态输入输出特性, 需要给各个测试管脚加上电容以消除信号传输中的高低噪声。测试选取具有代表性的输入模拟电压及其附近的电压作为测量点。测试采用 2 MHz 数字时钟, 调试阶段已经通过调

试 ADC 的参考电压来消除了可能存在的失调误差。

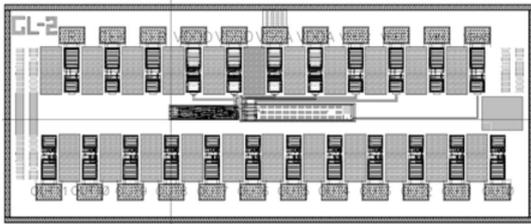


图 7 SAR ADC 的版图结构

Fig.7 Layout of SAR ADC

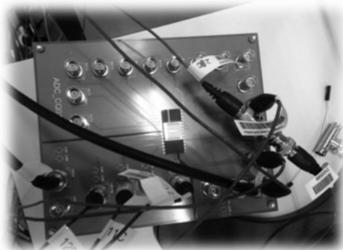


图 8 ADC 芯片封装和测试

Fig.8 Package and test of ADC chip

按照上述要求测量 ADC 的特定电压的静态输入输出关系,得出结如图 9 所示。图 9 给出了两条曲线,分别是理想的输入输出曲线以及实际测试得出的输入输出特性曲线。图 10 为放大到测量电压点附

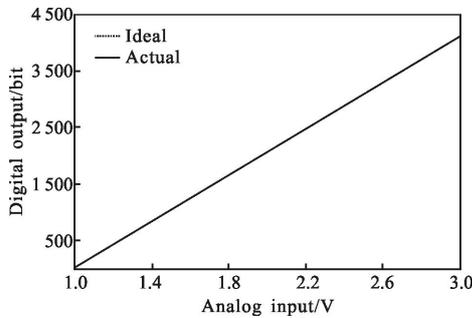


图 9 ADC 输入输出特性曲线

Fig.9 Input-output characteristic curve of ADC

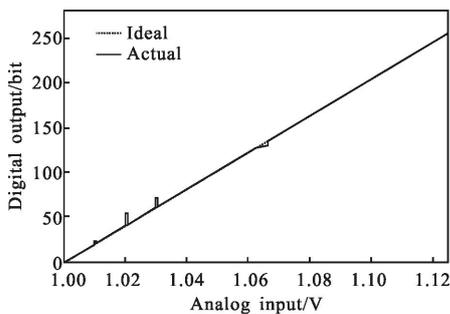


图 10 输入输出曲线部分细节

Fig.10 Detail of input-output curve

近的曲线,可以从图中看出存在的积分非线性、微分非线性。积分非线性(INL)的定义是实际有限精度特性曲线与理想有限精度特性曲线在垂直方向上的最大差值。微分非线性被定义为在每个垂直台阶上测量的相邻编码之间的距离。

积分非线性和微分非线性分别体现了 ADC 的精度与单调性。根据测量得出的 ADC 的积分非线性曲线,可以计算出 ADC 的实际有效精度。根据输入输出特性曲线以及积分非线性曲线,计算得出 ADC 的实测性噪比为 51 dB,与仿真阶段的 66 dB 存在明显的差距。去除 ADC 本身存在的量化噪声,最后得出 ADC 的实际有效位数为 8.2 bit。实际测试与仿真阶段存在明显误差的主要原因是,芯片在流片过程中由于工艺的原因,导致电容的不精确,特别是缩放电容的不精确会对整个 DAC 的精度造成很大的影响。

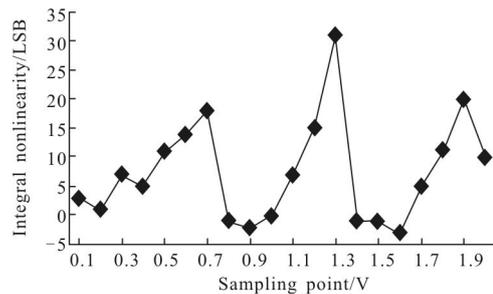


图 11 ADC 的积分非线性

Fig.11 INL of ADC

5 结论

文中设计了一种带有数字输出的红外焦平面读出电路,将 SAR 结构 ADC 用于红外焦平面读出电路行共享结构中。设计的 SAR 结构 ADC 具有功耗低、版图面积小、采样频率高等优点。测试结果显示 SAR ADC 有效位数为 8.2bit,转换频率超过 150 k Samples/s,功耗低于 300 μW,满足焦平面 100 帧频以及低功耗的需求。

设计中的主要部分 SAR ADC 通过 GLOBALFOUNDRIES 公司 0.35 μm\3.3 VCMOS 工艺加工、流片并测试。测试结果显示 ADC 的实际有效位数为 8.2 bit,与 Cadence 后仿结果相差两位,存在这个误差的原因是芯片制造过程中不可避免地存在电容的不精确性。消除误差主要的实现方法是增加校正 DAC,用校正 DAC 对主 DAC 的高位电容进

行数字自校正。但是增加校正 DAC 对于 ADC 的设计面积又是一个难点。今后主要的改进方向应该就是在校正 DAC 与 ADC 版图设计面积优化之间的权衡,使得提高 ADC 精度的同时不会给版图设计带来太大的压力。

参考文献:

- [1] Fan Jinxiang, Yang Jianyu. Development trends of infrared imaging detecting technology [J]. *Infrared and Laser Engineering*, 2012, 41(12): 3145-3153. (in Chinese)
范晋祥, 杨建宇. 红外成像探测技术发展趋势分析 [J]. 红外与激光工程, 2012, 41(12): 3145-3153.
- [2] Pain B, Fossum E R. Approaches and analysis for on focal plane analog to digital conversion [C]//SPIE, 1994, 2226: 203-218.
- [3] Zhu Hui, Li Yaoqiao, Chen Xinyu, et al. A design scheme of digital output for IRFPA[J]. *Laser & Infrared*, 2007, 37: 997-1000. (in Chinese)
朱慧, 李尧桥, 陈新禹, 等. 一种红外焦平面的数字化输出设计方案[J]. 激光与红外, 2007, 37: 997-1000.
- [4] Chen Guoqiang, Zhang Junling, Wang Pan, et al. Design of digital ROIC for HgCdTe e-APD FPA [J]. *Infrared and Laser Engineering*, 2014, 43(9):2798-2804. (in Chinese)
陈国强, 张君玲, 王攀, 等. 碲镉汞 e-APD 焦平面数字化读出电路设计[J]. 红外与激光工程, 2014, 43(9): 2798-2804.
- [5] Li Xinyi, Yao Suying, Zhao Yiqiang, et al. CMOS readout circuit for infrared focal plane array using self-bias current mirror [J]. *Infrared and Laser Engineering*, 2010, 39(2): 201-205. (in Chinese)
李辛毅, 姚素英, 赵毅强, 等. 基于自偏置电流镜的 CMOS 红外焦平面读出电路 [J]. 红外与激光工程, 2010, 39(2): 201-205.
- [6] Liu Chuanming, Yao Libin. Study on digital readout circuit for infrared FPA detectors[J]. *Infrared Technology*, 2012, 34(3): 125-133. (in Chinese)
刘传明, 姚立斌. 红外焦平面探测器数字读出电路研究 [J]. 红外技术, 2012, 34(3): 125-133.
- [7] Liu Xiaoyang, Ding Ruijun, Lu Wei, et al. A novel design of infrared focal plane array with digital read out interface [C]//SPIE, 2010, 7658: 765848.
- [8] Allen P E, Holberg D R. CMOS 模拟集成电路设计[M]. 2nd ed. 北京: 电子工业出版社, 2011: 392-397.