高功率 110 GHz 平衡式肖特基二极管频率倍频器

田遥岭[1,2],何 月[1,2],黄 昆[1,2],蒋 均[1,2],缪 丽[1,2]

(1. 中国工程物理研究院 微系统与太赫兹研究中心,四川 成都 610200;
2. 中国工程物理研究院电子工程研究所,四川 绵阳 621900)

摘 要: 高频段的太赫兹信号通常是由多个倍频器级联输出的,因此要求倍频链路的前级必须具备高输出功率的能力。为了提升太赫兹倍频器的功率容量和效率,结合高频特性下肖特基二极管有源区电气模型建模方法,采用高热导率的陶瓷基片,利用对称边界条件,在 HFSS 和 ADS 中实现对倍频器电路的分析和优化,研制出了高功率 110 GHz 平衡式倍频器。最终测试结果表明,驱动功率为 28 dBm 左右时,该倍频器在 102~114.2 GHz 的工作带宽内的最高输出功率和效率分别为 108 mW 和 17.6%,为链路后续的二倍频和三倍频提供足够的驱动功率。

关键词: 高功率; 110 GHz; 肖特基二极管; 平衡式倍频器

中图分类号: TN771 **文献标志码:** A **DOI:** 10.3788/IRLA201948.0919002

High power 110 GHz balanced Schottky diode frequency doubler

Tian Yaoling[1,2], He Yue[1,2], Huang Kun[1,2], Jiang Jun[1,2], Miao Li[1,2]

(1. Microsystem and Terahertz Research Center, China Academy of Engineering Physics, Chengdu 610200, China;
2. Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang 621900, China)

Abstract: Generation of power at higher terahertz frequencies typically requires several stages of multiplication, which put forward the demand for high power devices at earlier stages. For higher power capacity and efficiency, the doubler circuit was realized based on ceramic substrates with high thermal conductivity. Moreover, with the accurate Schottky diode equal model, a high power 110 GHz balanced doubler was analyzed and designed in HFSS and ADS using symmetry boundary condition. With an input power of 28 dBm, the measured results showed that the maximum output power and efficiency of the doubler range from 102 to 114.2 GHz are 108 mW and 17.6% respectively, providing sufficient power for the chain.

Key words: high power; 110 GHz; Schottky diode; balanced doubler

收稿日期: 2019-05-11; **修订日期:** 2019-06-21

基金项目: 国家重点基础发展研究计划(2015CB755406);国防基础科研计划(JCKY2017212C002)

作者简介: 田遥岭(1991-),男,助理研究员,硕士,主要从事毫米波与太赫兹波电路设计方面的研究。Email: tianyaoling@mtrc.ac.cn

通讯作者: 何月(1988-),男,助理研究员,硕士,主要从事毫米波与太赫兹波电路设计方面的研究。Email: heyue@mtrc.ac.cn

(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

0 引 言

基于肖特基二极管的倍频器已经逐渐成为太赫兹频段本振链路中的核心器件。近年来,肖特基倍频器在各种亚毫米波系统中扮演着至关重要的角色,例如空间应用中的辐射计、成像系统中的接收机、矢量网络分析仪中的频谱扩展件等等。20 世纪 80 年代开始,基于肖特基二极管的倍频器设计理论就已经开始逐渐完善。其中,平衡式二倍频器结构[1-2]凭借其电路对奇偶次谐波的模式隔离,省略掉冗余的滤波结构,具备高效率和简洁的特点,受到业内的偏好。

600 GHz 以上的信号的生成通常是由多级倍频器级联实现的。尽管单个倍频器的输出效率可能会很高[3],但倍频链路中的倍频器通常会工作在最佳输出功率点从而偏移最佳倍频效率工作点 [4]。并且,对于倍频次数较高的倍频链路,因为其级联次数过多,其总体的倍频效率通常只有百分之几甚至更少[5]。另外,链路中相邻的模块之间存在的失配现象将会影响单模块的等效负载,负载的改变也会牵引倍频器远离其最佳工作点,进而降低倍频器的效率和输出功率。因此。要想获得足够功率的高频太赫兹信号,倍频链路的前级需要能够承受足够高的功率,并且产生足够大输出信号以驱动后级电路。W 波段以下的信号能够通过商用芯片的合成来获得瓦级的功率,而 100 GHz 以上的大功率芯片尚且不成熟,因此 100~200 GHz 范围的大功率倍频器在高频链路中需求迫切。另外,传统的平衡式倍频器设计过程引入大量繁琐冗余的设计,并且输入输出频率的优化牵引大,分析和优化不清晰,对计算机资源的占用大、耗时长。

文中展示了基于对称边界方法设计平衡式二倍频器的过程,通过对称剖分降低整体计算量,极大地简化了倍频器的设计。并用这种方法对 110 GHz 大功率平衡式二倍频器进行设计。其电路包含肖特基二极管、127 μm 陶瓷基片以及输入波导匹配电路等。利用二极管的大功率特性和基片的高热导率特性,使倍频器能够稳定地工作在大功率的驱动条件下,并能够产生足够大的输出功率。利用对称边界的分析方法简化计算过程,仿真与实测间的吻合度较高,为肖特基二极管大功率倍频器器件的研制积累了经验。

1 倍频器的设计架构

图 1 所示的平衡式倍频器架构,通过引入对称结构的倍频器电路实现对奇次谐波的抑制,从而省略掉冗余的滤波电路,进而降低电路损耗并增加倍频效率。正如 Erickson 的分析[1],输入信号在波导中工作在 TE_{10} 模式,经过二极管后激励出的各次谐波中仅有偶次谐波工作在准 TEM 模式,这与输出电路中的悬置微带线的模式是一致的,这就使电路中的奇次谐波得到了高度的抑制。很明显,这种对称的平衡式倍频器结构能够高度地简化电路的设计。

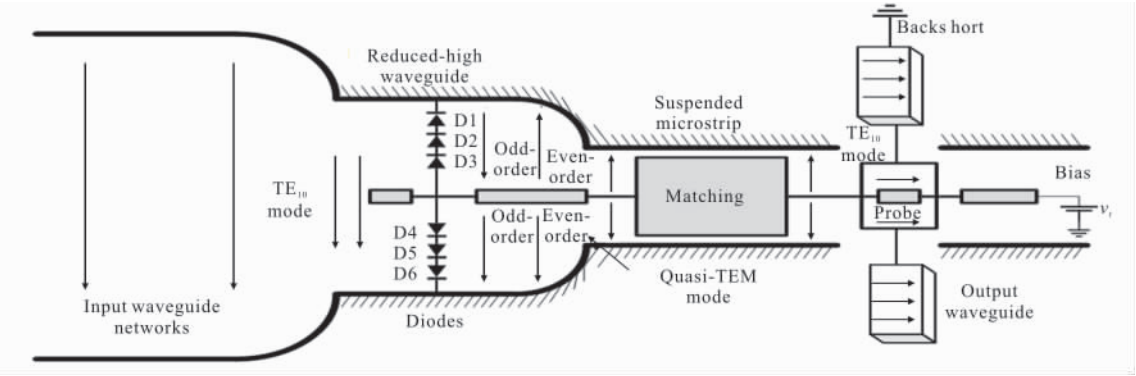


图 1 平衡式倍频器的架构框图

Fig.1 Topology of the balanced doubler

如图 1 所示,倍频器的关键电路是安装了肖特基变容二极管的陶瓷基片电路,基片电路将被安装在波导的腔体模块中。倍频电路使用了两只分离的肖特基变容二极管,总共 6 个管结。二极管的外延层厚度为 300 nm,掺杂浓度约为 $1\times10^{17}cm^{-3}$;N+缓冲层厚度约为 8 μm,阳极直径约为 9.56 μm。相应

(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

的,二极管的零偏置结电容 C_{j0} 为 80 fF,反向击穿电压接近 10 V, 其结区串联阻抗 R_s 的值约为 2.8 Ω。单只分离二极管由三只管结串联而成, 整体尺寸为 250 μm×50 μm×10 μm。

陶瓷基片电路被安装在输入波导和输出波导之间的腔体通道内,其横截面尺寸为 0.74 mm×0.6 mm,总长度为 0.86 mm。在输入端减高波导内,并联的二极管对安置在距离短路面 0.78 mm 处,输入的基波信号在此处激励出各次谐波。

除去输出探针电路, 输入波导匹配电路和基片屏蔽腔这两部分电路都是准对称结构的电路, 二极管的安装误差可能会引入一部分非对称性。输入的基波信号工作在 TE_{10} 模式,其电场对两只反向并联二极管呈现 180°相位差,因此奇次谐波的激励受到抑制。并且,基波信号的 TE_{10} 模式由于模式的隔离无法泄露至输出电路;偶次谐波的电场呈现为 TEM 模式,但其可能激励出波导的 TM_{11} 模式。因此,为了抑制二次谐波在波导中的 TM_{11} 模式,输入端减高波导的尺寸调整为 3.76 mm×0.74 mm。二次谐波最后通过一段悬置微带传递至 E 面探针并耦合到输出 WR8 标准波导。这段悬置微带线由两段高低阻抗线组成,主要是对输出阻抗进行匹配与调整。

倍频器电路中, 在输入端还采用了阶梯波导匹配网络。通过波导的阻抗匹配降低基片电路的复杂度,对于降低电路损耗和设计难度有很好的效果。另外, 直流偏置电路的结构和机理也十分简单和易于装配, 设计时将直流偏置电路集成到了输出 E 面探针的电路中, 通过大量的仿真和调整使直流电路对射频的影响降到最低。

2 倍频器的设计优化

2.1 对称边界条件

文中所采用的平衡式二倍频器结构, 其设计的繁琐点主要是 ADS 谐波平衡仿真和 HFSS 的电磁场分析的混合使用和来回迭代。但是,通常的分析方法需要将整体电路进行大量的数据分析, 根据二极管结区的阻抗目标值进行优化设计, 最终得到合适的电路结构。这种方法通常会耗时巨大,对计算机的运算性能要求很高,并且会对得到许多冗余的数据。文中利用对称边界条件, 将输入基波和输出二次谐波人为地分离成两种电路, 使输入和输出的电路匹配解耦,并通过迭代运算,能够以不到一半的运算量快速简洁地设计出所需的平衡式二倍频器。

为了降低设计时所需的运算内存, 整个电路将被划分成三个部分进行仿真,即输入匹配区域、核心非线性区域以及输出 E 面探针。其中,图 2 所示的区域能够通过对称边界的剖分进行仿真分析, 能够通过对称边界条件进行仿真分析。对于奇次谐波,图 2 中的对称边界可以等效为电壁; 相反, 对于偶次谐波,该对称边界则等效为磁壁。并且,由于输出电路是安置在波导腔体中的悬置微带线, 其剖分后的电路在电壁条件下是无法传播的, 因此输入基波信号的电路只需分析图 2 中虚线 2(Line 2)左侧部分即可; 而输入的波导在磁壁条件下对二次谐波是截止的(减高波导抑制二次谐波的 TM_{11} 模式),因此二次谐波只需分析图 2 中虚线 3(Line 2)右侧的部分区域即可。这样,就可以分别建立起基波和二次谐波各自的电路模型, 倍频器电路的设计可以归结为图 3 所示的流程。

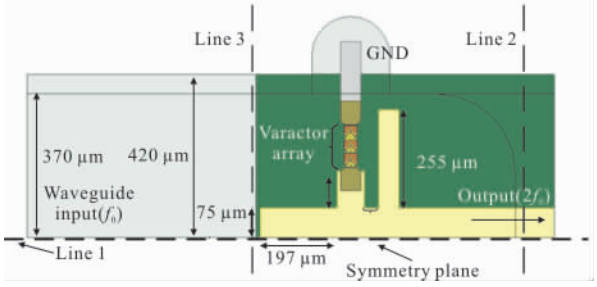
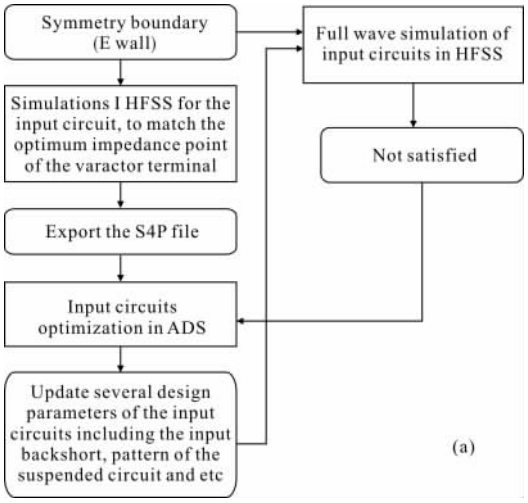


图 2 倍频器的对称边界划分图解

Fig.2 Diagram of the symmetric boundary of the balanced doubler



(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

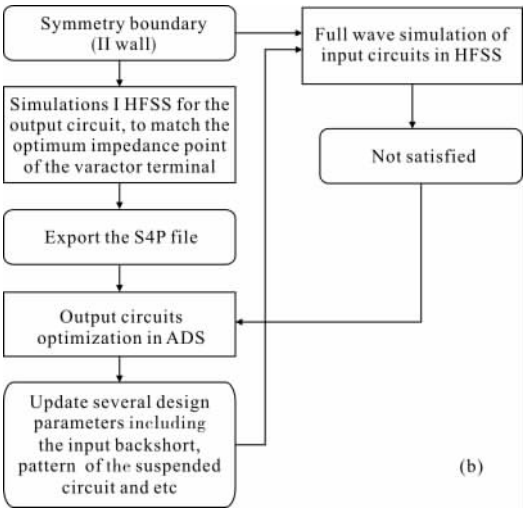


图 3 采用对称边界条件设计倍频器的流程图

Fig.3 Design procedure of the doubler using symmetric boundary conditions

2.2 阻抗匹配

最大化倍频效率是电路设计的目标，首先在 ADS 中采用谐波平衡对理想二倍频电路进行分析，可以分别获得二极管结区的基波频率输入阻抗与二次谐波频率输出阻抗。对输入基波信号 55 GHz 而言，其结区最佳端口阻抗为 13.2+j76.7(Ω)；对输出二次谐波 110 GHz，其最佳端口负载为 18.5+j×38.3(Ω)。图 4 所示的阶梯波导网络与图 2 所示的减高波导-悬置微带过渡段共同实现了三对二极管结的输入阻抗(@f_0)匹配；而图 2 所示的过渡段同输出悬置微带-波导过渡结构共同完成二极管结输出阻抗(@2f_0)的匹配。

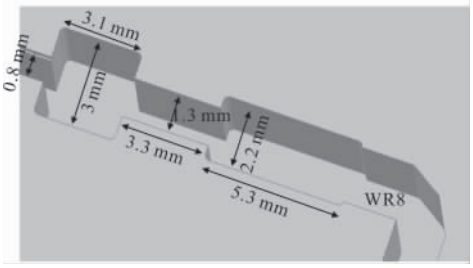


图 4 倍频器输入阶梯波导阻抗匹配网络

Fig.4 Input step waveguide impedance matching networks of the doubler

输入匹配网络和输出匹配网络的散射参数通过 HFSS 分析获得，并将散射参数矩阵导入 ADS 进行优化仿真。整体迭代以倍频器的最佳性能为目标进行，通过图 3 所示的流程，将负载阻抗向最优值调整。最终优化设计得到的倍频器整体结构如图 5 所示。其电路包含了输入二极管匹配段、输出悬置微带匹配段、E 面探针以及直流供电滤波电路，基片宽度为 0.84 mm，电路总长 3.512 mm，基片最终将安装在对称剖分的波导腔体中。

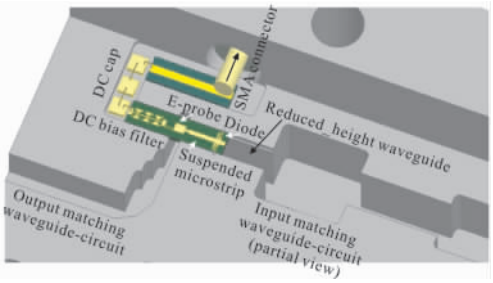


图 5 平衡式倍频器整体电路结构

Fig.5 Overall circuit of the balanced doubler

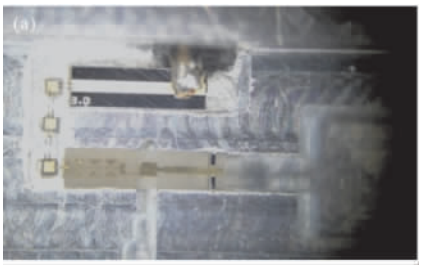
3 倍频器的加工与测试

3.1 倍频器的加工与装配

图 5 所示的倍频器电路基片，采用 127 μm 的陶瓷电路基片。其金层厚度 4 μm，电路图形精度为±2.5 μm，电路基板切割误差小于 10 μm，是薄膜电路工艺产品。该基片具备机械强度高、不易变形等优点，并且具备合适的介电常数与良好的热导率。

基片电路的腔体采用的是 E 面剖分的金属波导模块，采用标准的铣削方法进行加工，腔体材料为铝，未镀金，尺寸误差控制在 5 μm 以内。如图 5 所示，整个腔体包含输入阶梯阻抗匹配网络、输出探针腔体、基片电路安置腔以及直流偏置腔。外部供电通过 SMA 连接器实现，输入和输出的波导接口采用标准的 UG387 法兰接口。

图 6 是倍频器电路基片的装配照片。其中，图 6(a)是倍频器下腔体的部分照片，图 6(b)展示了倍频器基片电路的安装细节。二极管采用倒装的方式安装在电路基片上，装配过程中需要保证二极管焊盘与基片焊盘的对准，并且由于最近的并联枝节仅仅距



(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

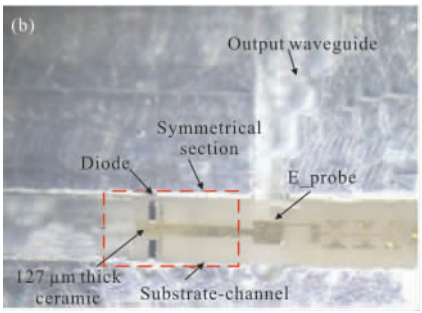


图 6 倍频器装配细节图

Fig.6 Assembly details of the doubler

离二极管焊盘 38 μm，因此需要对焊料的分布有较好的控制，以避免对电路匹配引入额外较大的影响。

3.2 射频测试

倍频器的测试采用的是如图 7 所示的测试平台。驱动倍频器所需的 V 波段信号由 Aglient E8257D 和 V 波段倍频器模块提供。另外，为了获取足够大的 V 波段功率，还级联了大功率放大器模块，该放大器的增益为 24 dB，单模块饱和输出功率大于 25 dBm，带宽为50~66 GHz。通过功率合成，还能够获得 50~66 GHz 频率范围内接近 28dBm 的信号功率。

倍频器的输出功率使用 Erickson PM4 功率计进行测量。首先，调整 V 波段驱动信号功率至 25 dBm 左右，加载偏压+12 V，可以测试得到倍频器在 25 dBm 的驱动功率条件下的输出功率和倍频效率

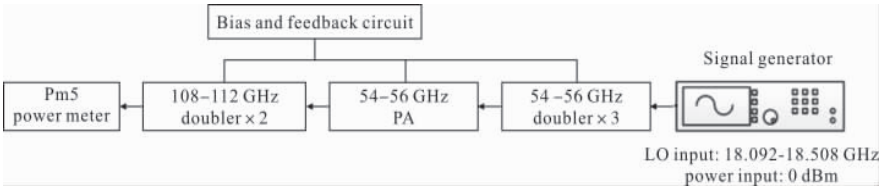


图 7 倍频器测试平台示意图

Fig.7 Measurement setup of the doubler

如图 8(a)所示；随后，加大驱动功率至 28 dBm，倍频器自偏置至+16 V，测试得到倍频器的输出功率和倍频效率如图 8(b)所示。

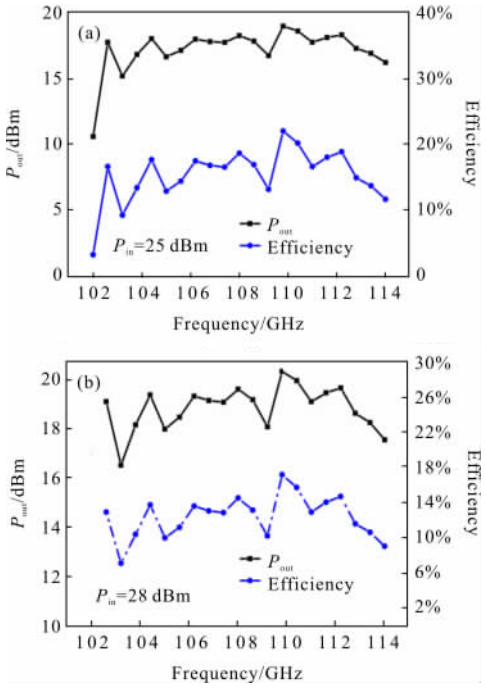


图 8 倍频器输出频率对应的输出功率和倍频效率

Fig.8 Double frequency output power and efficiency versus output frequency of doubler

通过图 8 的测试结果可以看出，倍频器在 25 dBm 的驱动功率下，倍频器最高倍频效率为 22%，最大输出功率大于 70 mW，3 dB 工作带宽为 102.4~114 GHz；而在 28 dBm 的驱动功率下，该倍频器的最高倍频效率为 17.6%，最大的输出功率为 107.8 mW，3 dB 工作带宽为 102~114 GHz。由表 1 可以看出，对比近年来的相关报道，文中的设计在一定程度上提升了倍频器的功率容量和输出功率。

表 1 倍频器性能比较

Tab.1 Doubler performance comparison

	Bandwidth/GHz	Output power/mW	Efficiency	Input power/mW
Doubler[6]	160-175	3-12	3-11%	100
Doubler[7]	152-176 160-178	7-14 5-25	5-11% 10-24%	100
Doubler[8]	150-170	10-35	5-23%	100
Doubler[9]	320-356	3.3-5.4	4-8%	67.5
Doubler[10]	135-164	82	25%	315
Proposed method	102.6-114 103-114	47-80 63-108	11-22% 10-18%	315 630

(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

4 结 论

在考虑到肖特基二极管在高频下特有效应的前提下,采用对称边界条件的设计方法,简化了平衡式二倍频器设计的过程,极大地减少了平衡式二倍频器设计所需的庞大计算量。并且根据对称边界的分析方法,采用 127 μm 的陶瓷电路基片为载体,设计了 110 GHz 的平衡式二倍频器并进行加工装配和测试。测试结果表明,该二倍频器在输入功率为 25 dBm 的情况下,实现了在工作频率 102.4~114 GHz 范围内,典型倍频效率大于 10%,最高倍频效率大于 22%;在输入功率为 28 dBm 的情况下,实现了在工作频率 102.4~114 GHz 范围内,典型倍频效率大于 8%,最高倍频效率大于 17.6%。设计的 110 GHz 倍频器将为 220 GHz 系统的发射链和接收链路提供本振驱动,分别满足系统发射链路高功率输出和接收链路宽工作带宽的要求。

参考文献:

[1] Erickson N R. High efficiency submillimeter frequency multipliers [C]//1990 IEEE MTT-S International Microwave Symposium Digest, 1990: 1301-1304.

[2] Porterfield D W, Crowe T W, Bradley R F, et al. An 80/160 GHz broadband, fixed-tuned, balanced frequency doubler[C]//1998 IEEE MTT-S International Microwave Symposium Digest, 1998: 391-394.

[3] Porterfield D W, Crowe T W, Bradley R F, et al. A high-power fixed-tuned millimeter-wave balanced frequency doubler [J]. ***IEEE Trans Microw Theory Techn***, 1999, 47(4): 419-425.

[4] Virginia Diodes, Inc., Charlottesville, VA, USA, High power multipliers (D Series)[DB/OL]. (2014-07-18). http: vadiodes . com / index . php / en / products / narrowband - multipliers.

[5] Chattopadhyay G, Schlecht E, Ward J S, et al. An all-solid-state broad-band frequency multiplier chain at 1500 GHz[J]. ***IEEE Trans Microw Theory Techn***, 2004, 52(5): 1538-1547.

[6] Miao Li, Huang Wei, Jiang Jun, et al. Research on a 0.17 THz Schottky varactors doubler [J]. ***Infrared and Laser Engineering***, 2015, 44(3): 947-950. (in Chinese)
缪丽, 黄维, 蒋均, 等. 基于肖特基变容二极管的 0.17 THz 二倍频器研制 [J]. 红外与激光工程, 2015, 44 (3):947-950. (in Chinese)

[7] He Yue, Jiang Jun, Lu Bin, et al. High efficiency 170 GHz balanced Schottky diode frequency doubler [J]. ***Infrared and Laser Engineering***, 2017, 46(1): 120003. (in Chinese)
何月, 蒋均, 陆彬, 等. 高效 170 GHz 平衡式肖特基二极管倍频器[J]. 红外与激光工程, 2017, 46(1): 120003.

[8] Liu Hairui, Powell Jeff, Viegas Colin, et al. A 40 to 160 GHz high power multiplier chain using planar Schottky diodes [C]//8th UK, Europe, China Millimeter Waves and THz Technology Workshop, 2015.

[9] Yao Changfei, Zhou Ming, Luo Yunsheng. A high power 320-356 GHz frequency multipliers with schottky diodes[J]. ***Chinese Journal of Electronics***, 2016, 25(5): 986-990.

[10] Montero-de-Paz J, Sobornytskyy M, Hoefle M, et al. High power 150 GHz Schottky based varactor doubler [C]//9th Global Symposium on Millimeter Waves (GSMM) & 7th ESA Workshop on Millimetre-Wave Technology and Applications, 2016.

(C)1994-2020 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net