

CCD 成像系统的模拟自校图形设计

王文华, 张宇, 张柯, 任建岳

(中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: 目前航天遥感领域 CCD 自校图形都是数字式的, 仅能在数字链路上检测 FPGA 逻辑模块和图像数据传输模块, 而视频 AD 模块一直未能实现在轨检测。提出了一种“驱动芯片+数模转换芯片”的架构, 搭建了易行可靠的电路, 仿照 CCD 视频信号格式, 并与 CCD 信号通过电容直接耦合到视频 AD 输入端。选用 FPGA 模块来产生与 CCD 像素时钟同频的逻辑信号, 然后输出给驱动芯片 EL7156。驱动芯片的低压输出取决于 FPGA 控制的数模转换芯片的模拟输出, 高压输出不变, 从而实现灰度变化。当 CCD 正常工作时, FPGA 模块控制模拟自校图形输出为高阻状态, 对 CCD 工作影响微乎其微。试验结果表明: 模拟自校图形能与 CCD 视频信号互不干扰, 并可与之分时送入视频 AD 模块, 达到检测整个 CCD 成像系统工作状态的目的。该电路可检测多个视频 AD 模块, 简单易行且占用很小的 PCB 空间, 所选芯片具有航天应用可靠性。

关键词: 视频 AD; 模拟自校; 电容耦合; 数模转换; FPGA

中图分类号: TP391 **文献标志码:** A **文章编号:** 1007-2276(2013)07-1933-07

Design of analog self-check figures for CCD imaging system

Wang Wenhua, Zhang Yu, Zhang Ke, Ren Jianyue

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: All of self-check figures are almost digital ones which can only test the FPGA component and image data transmitting component on the digital path and the video AD component is not tested because the complexity cannot satisfy the high reliability demands in space projects. A kind of circuit composed of the driving chip and the DAC chip was put forward. This circuit can generate analog signals which are similar to CCD video signals and make these signals directly couple with actual CCD signals into the input port of video AD. The key part was made up of a FPGA chip and a driver chip-EL7156. The FPGA chip generated the signals whose frequency was same as CCD video signals and then sends to the driver as logical input. The driver chip can switch low or high level according to the logical input. The low level was supplied by a DAC chip which is controlled by FPGA. When CCD circuit was working, FPGA can make the analog self-check circuit into three-state and have no effect to CCD work. Many experiments' results indicate that the analog self-check circuit and the CCD video circuit can work separately in different time with no interference.

Key words: video AD; analog self-check figure; capacitance coupling; DAC; FPGA

收稿日期: 2012-11-20; 修订日期: 2012-12-24

基金项目: 国家 863 计划(863-2-5-1-13B)

作者简介: 王文华(1982-), 男, 博士, 主要从事光电成像与图像处理方面的研究。Email: wangwh900@yahoo.com.cn

0 引言

近年来,基于电荷耦合器件(CCD)的光学相机广泛地应用于航天遥感领域。由于复杂的空天环境影响,遥感相机的 CCD 成像电子学系统不仅需要具有很高的可靠性,而且为了便于检测和遥控^[1],必要的自检功能不可或缺,这样便于在相机的研制过程中对某个功能单元进行调试检测,更有利于相机在轨运行时的故障分析^[2]。

考虑到 CCD 器件比较昂贵,单板调试与系统联调时不能频繁插拔 CCD,某些电子学组装测试也不需要 CCD,因此必须在 CCD 信号处理模块中设计一系列自校图形作为仿真 CCD 的数据源,一方面可以在电子学组装测试时仍然能够测试互连接口是否正确,另一方面可以检测 CCD 转移时序是否正常,图像输出是否有串行现象^[3]。

参考文献[4]中对 CCD 成像系统的自校图形进行了研究,并提出了适合于检测图像传输与压缩的自校图形。然而,这种设计仅检测了成像系统的数字逻辑链路,未能对关键的视频 AD 转换芯片功能状态进行检测。考虑到视频 AD 芯片不仅承担着将 CCD 模拟视频信号转换为数字信号的重任,还要完成对 CCD 模拟信号的增益和偏置量控制,因此,在空间相机的自检系统中有必要加入对视频 AD 芯片的检测功能。参考文献[4]也提出了一种模拟自校图形的设计电路,基本思想是采用运算放大器产生类似 CCD 视频信号的模拟信号,利用继电器来切换该模拟信号和实际的 CCD 视频信号,最后送入 AD 芯片中。该设计的缺点是适合航天用的继电器体积比较大,模拟信号的幅度不易控制,实现起来比较困难,增加了原有 CCD 成像单元的负担(继电器需要单独的供电芯片),对系统可靠性也有影响。

文中结合数字式自校图形的设计思想,综合前人的研究成果,展开对模拟自校图形的设计研究,使之既具有数字自校图形的功能,又具有检测视频 AD 芯片的能力。

1 设计思路

模拟自校图形的设计初衷是检测视频 AD 芯片,则需要在 CCD 视频信号进入视频 AD 的输入点

上再加入一个分支,在此分支上设计一个可控、可调节的模拟信号来等效代替 CCD 视频信号,采集并观察输出的图形数据是否正常就能起到检测视频 AD 芯片的作用。这与参考文献[4]中的思路是相同的。

1.1 难点分析

文中要解决的第一个设计难点是模拟自校图形的信号必须具备类似 CCD 的输出幅值变化的能力。结合 CCD 光电成像的原理,CCD 像元上接受入射光的变化体现为 CCD 视频信号的双采样电压差,入射光越强,双采样的电压差越大。因此,要设计一个具有输出幅值变化能力的模拟信号,需要使模拟信号的高电平或低电平具有幅值摆动能力。参照图 1 所示 CCD 视频信号的特点,高电平为参考电平(幅值基本恒定),低电平为信号电平(幅值随光照度变化而线性变化),利用相关双采样方法对高低电平分别采样便可以得到有用的感光电平信号。根据这一要求,需要一个能够快速切换两种电压的芯片来完成上述功能。

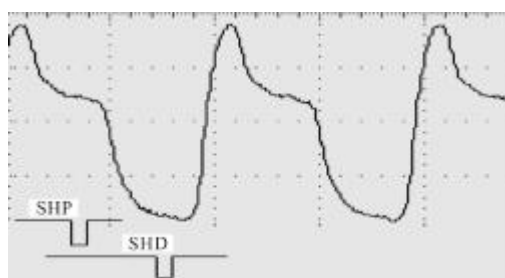


图 1 CCD 视频信号采样图

Fig.1 CCD video signal & CDS timing

文中要解决的第二个设计难点是模拟自校图形的信号切换速率要与 CCD 像元输出速率相同。通常 CCD 像元的输出速率在 1~40 MHz 之间,因此,要选择一款不仅在外围逻辑信号控制下能够切换两种电压,而且切换速率至少达到 40 MHz 的驱动芯片。

参考文献[4]中采用了“运算放大器+负反馈可调电位器”的方法来实现,尽管在功能和性能上可以满足要求,但缺点是处理器 FPGA 只能调整相对值,而不能及时知道调整后的幅值绝对值。这使得输出的图形仅有灰度变化能力,但无可控的变化规律。经过仔细筛选各种元器件,文中选用 Intersil 公司生产的驱动芯片 EL7156^[5],原理图如图 2 所示。该芯片可以在外部一定频率的逻辑信号控制下切换输

出 VH 和 VL 两种电压,切换速率最高达 40 MHz。另外,此类芯片在 CCD 成像驱动电路中也常用,这样的选型设计也为航天产品的器件可靠性管理提供了便利。至于模拟信号的幅值摆动,可将 VL 电压用一款数模转换芯片(以下称“DAC 芯片”)产生。DAC 芯片选用 TI 公司生产的 TLV5638MJGB 芯片^[9],双模拟通道输出,转换速率最快可达 1 μs,外形为 CDIP 封装,尺寸小巧。通用的 SPI 参数注入接口大大方便了处理器对 DAC 芯片的控制。当禁用模拟自校图形功能时,DAC 芯片可在处理器控制下进入 Power-down 状态。

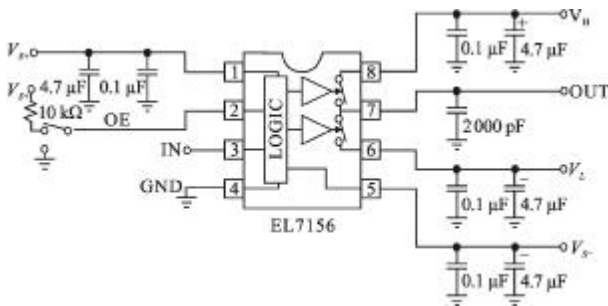


图 2 驱动芯片 EL7156 工作原理图
Fig.2 Schematic of driver-EL7156 chip

文中要解决的第三个设计难点是模拟自校图形的实现电路不能影响原有的 CCD 成像电路正常工作,同时原有的 CCD 成像电路也不能影响模拟自校图形的正常工作。如图 3 所示,首先要防止两种模拟

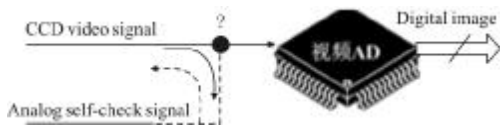


图 3 两种模拟信号分时进入视频 AD
Fig.3 Two signals time-sharing input video AD

信号同时进入视频 AD 芯片,因为只要在同一块 PCB 板上工作,两者就会存在干扰。这个问题可通过 FPGA 逻辑控制实现,使得两种信号不同时产生。当模拟自校图形工作时,FPGA 屏蔽所有的 CCD 工作时序;当 CCD 正常工作时,不仅屏蔽模拟自校图形的逻辑时序,而且还要使模拟自校的电路进入输出高阻状态,以保护 CCD 输出的视频波形不受影响。其次,为了防止两个模拟信号模块产生“潜在通路”,有必要设计隔离接口,防止两种信号的直接冲突和

电路干扰。

为了达到上述两个目的,文中设计了直接电容耦合电路,前提是需要处理器适时对两组电路进行屏蔽处理。

如图 4 所示的直接电容耦合电路是针对继电器切换电路的弊端设计的。由于 CCD 直接输出的视频模拟信号幅值很高(几伏甚至十几伏),所有进入到视频 AD 模块的模拟信号都要在视频 AD 片外加一个交流耦合电容,提取有效的交流视频信号。图 4 中的模拟自校信号在进入视频 AD 模块之前同样加一个交流耦合电容,与 CCD 视频信号电路呈并联方式。这样做解决了切换电路体积过大的问题(贴片电容很小),然而这对 CCD 成像控制提出了很高的要求。当 CCD 视频电路正常工作时,成像控制系统需要及时关闭模拟自校图形功能,并将其设置为输出高阻状态。此时对于 CCD 视频信号而言,负载不仅包括视频 AD 模块,还增加了一个由高阻和电容组成的大负载,由电路分析可知,这个很大的负载对 CCD 视频信号及其视频量化过程几乎没有影响。同理,当模拟自校图形功能开启时,成像控制系统需要及时关闭 CCD 视频成像电路。另外,两种模拟信号的暗电平基准位置会有所不同,因此成像控制系统还需要及时转换相应的视频 AD 的暗电平采样位置。

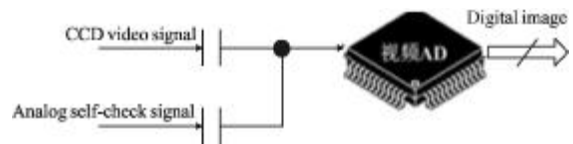


图 4 电容耦合方式切换两种模拟信号
Fig.4 Switching two signals by cap-coupling

1.2 硬件设计

如图 5 所示,两种模拟信号通过电容直接耦合进入视频 AD 芯片,而模拟自校信号由驱动芯片 EL7156 产生,该驱动芯片的原理是在输入 IN 信号的数字逻辑控制下输出 VH 和 VL,其中 VH 是模拟信号的高电平,VL 是模拟信号的低电平,其逻辑控制关系如图 6 所示。为了实现模拟信号幅值可变的功能,该发明将 VH 设置为固定值(如 3.3 V),VL 设置为可变电压,该可变电压由 DAC 芯片在 FPGA 的控制下产生。

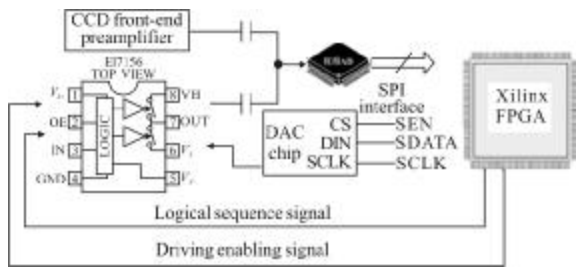


图 5 “驱动芯片+电容耦合”硬件结构

Fig.5 Hardware structure of driver & cap-coupling

OE	IN	OUT
0	0	Three-state
0	0	Three-state0
1	0	V_H
1	1	V_L

图 6 驱动芯片 EL7156 工作真值表

Fig.6 Truth table of driver-EL7156

为了避免两种模拟信号同时进入视频 AD 的情况发生,在 CCD 信号处理板与前端板之间的连接线缆中设置一对传输线使其形成一个信号回路,使得当带有 CCD 的前端电路通过连接器连到视频 AD 所在的 CCD 信号处理板时,FPGA 能够侦测到 CCD 前端板已经接入,以此作为不发送模拟自校图形的一个必要条件。如图 7 所示,当 CCD 前端板不连接时,CE 信号为低电平;当 CCD 前端板接入时,高电平信号经过转接线缆和前端板上的端接线形成回路,此时 CE 信号为高电平。

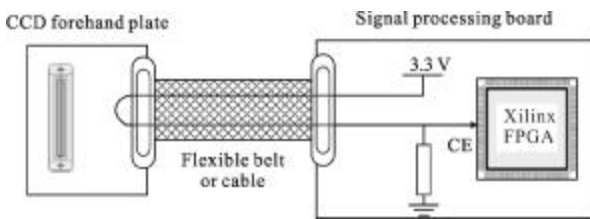


图 7 CCD 成像系统简明框图

Fig.7 Lock diagram of CCD imaging system

1.3 系统工作流程

设计完模拟自校图形后,在 CCD 成像系统中就存在三种工作模式:CCD 摄像模式、模拟自校模式和数字自校模式。系统启动后,工作模式切换如图 8 所示。当 FPGA 上电启动后,默认模式为 CCD 摄像状态,此时驱动芯片输出为高阻,DAC 芯片处于待机状态,CCD 的驱动逻辑信号正常工作,视频 AD 的

暗像素基准是在实际 CCD 输出的暗像素位置,数字图像输出为 CCD 成像图片。当模式选择为数字自校时,以上状态不变,只将数字图像输出切换为数字自校图形即可。当模式选择为模拟自校时,FPGA 首先屏蔽 CCD 的驱动信号,令 CCD 不工作;然后 FPGA 会向驱动芯片 EL7156 发送与 CCD 像素时钟同频的逻辑信号(占空比为 50%),同时更改视频 AD 的暗像素基准到模拟自校定义的位置。此时 FPGA 可通过控制 DAC 芯片的输出电压达到调节驱动芯片输出的信号低电压幅值的目的,进而实现调节模拟自校图形的幅值浮动调节的功能。信号幅值的有规律变化最终体现在数字图像上就是灰度变化的条纹。观察此条纹是否按照预定的规律变化就可以判断视频 AD 芯片工作是否正常。

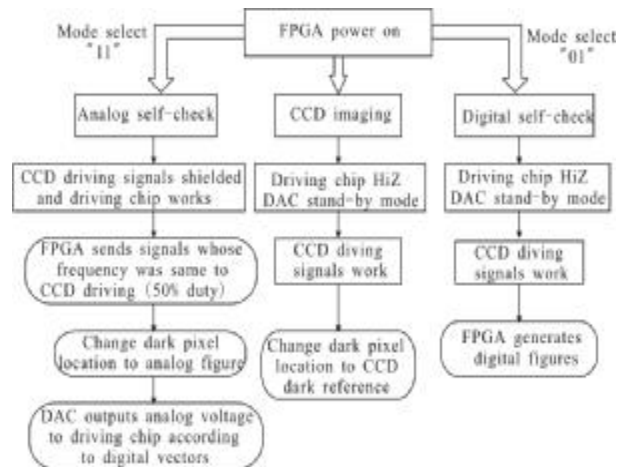


图 8 图像与自校模式的工作流程图

Fig.8 Flow of imaging & self-check mode

2 软件设计与工程实现

2.1 FPGA 软件设计

FPGA 产生数字灰度值,经过 SPI 接口控制 DAC 芯片产生该灰度值对应的模拟信号,之后视频 AD 芯片将模拟信号转换为数字图像码值,经过 FPGA 采样处理,与正常的 CCD 成像传输一样进入图像传输显示单元。

TI 公司的 DAC 芯片 TLV5638 的控制方式简单,且具有独立的两路模拟输出,能够适应 3.3V 和 5.0V 的工作场合,有三种基准电压的选择,适合不同应用的幅值输出。转换速度较快,快速模式下转换速度为 1 μ s,低速模式下转换速度为 3.5 μ s。以 CCD

像元时钟 20 MHz 为例,每个像元周期 50 ns,在 DAC 芯片快速模式下,可每隔最少 20 个像元进行一次灰度变化,这对于单片 CCD 幅宽 4 096 像元而言是很“窄”的一条灰度带,作为检测视频 AD 的模拟自校图形已经完全够用。

结合航天应用 TDICCD 的推扫成像特点,参照数字式自校图形的设计思想,模拟自校图形的设计也要尽可能在图形横向和纵向上都具备一定程度的灰度变化^[3]。

要产生与 CCD 图像格式类似的自校图形,需要输入行使能信号 LEN 和像素转移时钟 CLKP,图形 x 方向对应 CCD 输出的每一行像素,y 方向对应 CCD 像素输出行数。如图 9 所示,LEN 高电平有效时,在 CLKP 时钟的驱动下逐个像素输出,可在像素计数的基础上按一定列宽进行、列计数,形成具有不同灰度值的条纹;LEN 低电平时,对像素计数和列计数清零,每经过一个 LEN 周期行计数器加 1,并根据行计数值 Count_x 改变 y 方向图形灰度。

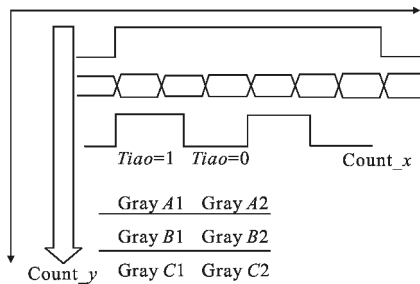


图 9 自校图形灰度渐变设计思路

Fig.9 Plan of self-check gray gradual change

如前所述的硬件电路,由于受到 DAC 芯片对注入指令响应时间的限制,DAC 的输出电压变化速率跟不上像元速率,因此可自由设定横向 x 方向上每个竖条纹的宽度(文中设置为 256 像元),对于行输出 4 096 像元的 CCD 来说,每行会有 16 个竖条纹,纵向 y 方向上每 384 行进行一次灰度变化。如图 9 中所示,FPGA 软件提供了 A、B、C 三种灰度模式(实际应用中也可自定义灰度模式数量)。

2.2 FPGA 代码实现

VHDL 编程

产生竖条纹的主要 VHDL 代码为:

```
if LEN = '1' then
    count_x<=count_x+1;
```

```
if count_x<256 then
    tiao<='1';
else
    tiao<='0';
end if;
else
    count_x<=(others=>'0');
end if;
.....
```

信号 CountB 表示 y 方向的行计数,依据 CountB 设置 y 方向的灰度梯度。产生 y 方向灰度渐变的主要 VHDL 代码为:

```
if count_y <384 then          -----灰度 A
if tiao = '1' then
if count_x>=1 and count_x<=20 then
    SPI_EN<='1';
    Qdata<="0100" & Gray_A1 & "00";
else
    SPI_EN<='0';
end if;
else
if count_x>=256 and count_x<=275 then
    SPI_EN<='1';
    Qdata<="0100" & Gray_A2 & "00";
else
    SPI_EN<='0';
end if;
end if;
.....
```

```
elseif count_y <768 then          -----灰度 B
.....
if b>=200 then
    b<=(others=>'1');
    D1PD<='0';
    EL_OE<='0';
else
.....
```

注意:视频 AD 工作时,从采样到量化输出根据器件的不同具有不同的延时,以 TI 公司的 VSP2270Y 为例^[4],从采样开始到量化输出为固定的 9 个像元延时。因此,在编程时需要预留出 9 个像元的图像输出延时。

3 设计试验验证

3.1 Modelsim 仿真波形

模拟自校图形电路的控制核心是 FPGA 芯片,其主要任务是控制产生灰度渐变所需要的 DAC 输出电压,并及时注入指令到 DAC 芯片中。该部分功能的 FPGA 代码可通过 Modelsim XE6.1e 仿真工具软件来查看相应功能的波形,如图 10 所示。



图 10 灰度渐变 FPGA 代码的功能仿真图

Fig.10 Simulation of gray change function

3.2 试验图形显示

经过功能仿真验证正确后向 FPGA 注入程序,在图 5 所示的硬件电路上调试并采集波形与图像。图 11 所示为切换到模拟自校信号工作时的示波器采集图,输出的模拟信号频率为 5.5 MHz,幅值为 0.4V。图 12 为切换到 CCD 视频信号工作时的示波器采集

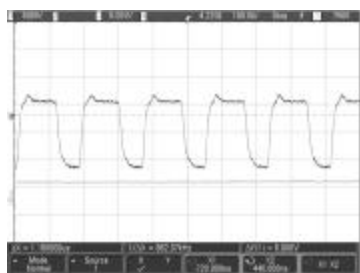


图 11 CCD 视频信号进入视频 AD 的波形

Fig.11 CCD video before input AD

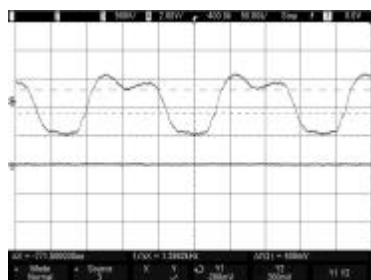


图 12 模拟自校信号进入视频 AD 的波形

Fig.12 Self-check analog signals before input AD

图,输出像素速率也为 5.5 MHz,幅值为 1.2 V。试验结果证明,在两种实施方式下,模拟自校图形的模拟信号与 CCD 视频信号能够互不干扰地切换,并均能正常工作。

将模拟自校图形信号进行采样量化输出,并以与 CCD 图像数据相同的格式通过图像采集卡显示出来,就获得了图 13 所示的图形。可以看到,图中明显的灰度突变说明 DAC 芯片切换电压后视频 AD 芯片也随之响应;几个不同的灰度区域布局与预先的设计吻合。在这些区域中计算自定义大小的块灰度平均值可作为视频 AD 工作性能的间接度量,以此作为 CCD 相机视频电路成像增益自动调整的依据参量之一^[8]。

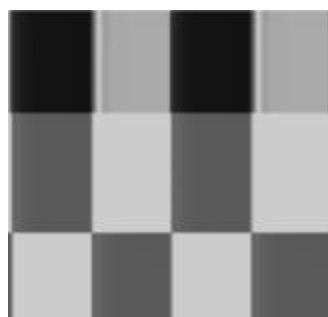


图 13 一种模拟自校图形的采集图像

Fig.13 Analog self-check figure by screen grab

4 结论

文中设计的模拟自校图形的硬件电路占用体积小,芯片数量少,且均具有一定的应用等级。实际测试结果显示,模拟自校图形能够在无 CCD 和前端模拟电路的情况下,不仅能像数字式自校图形那样及时检测数字链路模块所出现的异常,更重要的是能对 CCD 成像系统的视频 AD 芯片的工作状态和性能进行及时检测。另外,它还可以作为对 CCD 成像性能标定的参考依据,例如检测 CCD 成像的增益关系线性度等。模拟自校图形设计占用的 FPGA 逻辑资源很少,可与数字式自校图形相得益彰并存于 CCD 成像单元中,作为遥感相机必要的电子学调试和检测手段。

参考文献:

- [1] Liu Yanyan, Li Guoning, Zhang Yu, et al. Detection and record system of real time for static transfer function of the

- big visual field TDI CCD camera [J]. *Infrared and Laser Engineering*, 2012, 41(9): 2515-2521. (in Chinese)
- 刘妍妍, 李国宁, 张宇, 等. 大视场 TDI CCD 相机静态传递函数实时检测与记录系统 [J]. *红外与激光工程*, 2012, 41(9): 2515-2521.
- [2] Liu Xuyue, Hu Jun. Fault diagnosis of space camera CCD imaging subsidiary system based on fault tree analysis [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(5): 747-751. (in Chinese)
- 刘旭跃, 胡君. 基于故障树法的空间相机 CCD 成像分系统故障诊断分析 [J]. *液晶与显示*, 2010, 25(5): 747-751.
- [3] Wang Wenghua, He Bing, Ren Jianyue. Design of self-check figures in linear CCD imaging system [J]. *Optics and Precision Engineering*, 2009, 17(8): 2011-2016. (in Chinese)
- 王文华, 何斌, 任建岳. 线阵 CCD 成像系统自校图形设计 [J]. *光学精密工程*, 2009, 17(8): 2011-2016.
- [4] Wang Wenghua. Research on imaging uniformity of remote camera with wide field of view [D]. Changchun: Changchun Institute of Optics Fine Mechanics and Physics Chinese Academy of Sciences, 2010. (in Chinese)
- 王文华. 大视场遥感相机成像均匀性研究 [D]. 长春: 中国科学院长春光学精密机械与物理研究所, 2010.
- [5] Intersil Americas Inc. EL7156 High Performance Pin Driver [Z]. 2007.
- [6] Texas Instruments Inc. TLV5638 2.7V to 5.5V low-power dual 12-bit digital-to-analog converter [Z]. 2004.
- [7] Texas Instruments Inc. VSP2270 CCD signal processor for digital cameras [Z]. 2001.
- [8] Peng Nina, Chen Dayu, Wang Kun, et al. Real-time automatic gain control algorithm based on linear TDICCD camera [J]. *Infrared and Laser Engineering*, 2011, 40(7): 1370-1375. (in Chinese)
- 彭妮娜, 陈大羽, 王琨, 等. 采用线阵 TDICCD 相机的实时自动增益控制算法 [J]. *红外与激光工程*, 2011, 40(7): 1370-1375.