BDI 型甚长波 IRFPA 读出电路研究与设计

郝立超[1,2],陈洪雷[1],李 辉[1],黄爱波[1],丁瑞军[1]

(1. 中国科学院上海技术物理研究所 国防创新实验室,上海 200083;
2. 中国科学院大学,北京 100049)

摘 要:针对甚长波红外(VLWIR)探测器动态结阻抗过低、暗电流较大,且工作在高背景环境下等特点,设计了一种具有记忆功能背景抑制的 32×32 甚长波红外焦平面(IRFPA)读出电路。该电路采用基于高增益负反馈运放的缓冲直接注入级(BDI)结构作为输入级,大幅降低了输入阻抗,提高了注入效率,并使探测器处于稳定偏压状态。同时,该电路采用具有记忆功能的背景抑制电路,有效提高了积分时间和红外焦平面的信噪比(SNR),改善了动态范围和对比度。基于 HHNEC CZ6H 0.35 μm 1P4M 标准 CMOS 工艺,完成了电路的流片制造。实测结果表明:50 K 低温下电路功能正常,输出范围大于 2 V,读出速率达到 2.5 MHz,RMS 噪声小于 0.3 mV,线性度优于 99%,功耗小于 100 mW。

关键词:甚长波红外焦平面; 读出电路; 缓冲注入级; 背景抑制; 高增益运放

中图分类号:TN215 **文献标志码**:A **文章编号**:1007-2276(2014)06-1782-06

Improved readout circuit with BDI structure for VLWIR FPAs

Hao Lichao[1,2], Chen Honglei[1], Li Hui[1], Huang Aibo[1], Ding Ruijun[1]

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A 32×32 readout integrated circuit (ROIC) for very long wavelength (VLWIR) detector was designed, which uses buffered direct injection (BDI) unit cell as input circuit to reduce the input resistance, increase the injection efficiency of signal current, and provide precise biasing voltage to the detector. Due to very low output impedance of VLWIR detectors, a high gain feedback amplifier was used to provide the inverting gain by a differential stage. By means of novel current mode background suppression, the integration time and the signal-to-noise ratio (SNR) of image data was increased when VLWIR FPAs run at high background environment. At the same time, better contrast and dynamic range was also achieved. The final chip was fabricated with HHNEC CZ6H 0.35 μm 1P4M process technology. The test results show that the output dynamic range is over 2.0 V, the linearity could reach up to 99%, the readout frequency is more than 2.5 MHz, the RMS noise is less than 0.3 mV, and the power dissipation is less than 100 mW when the ROIC operates at the temperature of 50 K.

Key words: VLWIR FPAs; ROIC; BDI; background suppression; high gain amplifier

收稿日期:2013-10-10; **修订日期**:2013-11-16

基金项目:国家自然科学基金(61290302)

作者简介:郝立超(1986-),男,博士生,主要从事红外焦平面读出电路设计方面的研究。Email:hao_li_chao@163.com

导师简介:丁瑞军(1964-),男,研究员,主要从事红外焦平面设计、测试及应用等方面的研究。Email:DingRj@mail.sitp.ac.cn

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com

0 引 言

近年来，红外探测系统已经被广泛应用于空间探测、环境监测、工业控制、国家安全等领域,并且短波、中波、长波红外器件日渐成熟,但甚长波红外焦平面器件是红外器件技术发展的难点，成为目前该领域的研究重点和前沿[1]。

红外焦平面读出电路(IRFPAs ROIC)是红外探测系统的关键组成部分，其主要功能是完成信号电流的积分、采样、保持、放大、降噪等。由于红外探测器禁带宽度比较窄，在生长过程中非常容易受到材料、生长工艺、实验室环境等多种因素影响[2]。现阶段甚长波探测器的动态结电阻比较小[3],因此,读出电路输入级的输入阻抗必须非常小。同时,为了防止产生过大的漏电流，探测器必须工作在精确的偏压状态下。另外,甚长波探测器工作在高背景环境下,使得读出电路积分电容非常容易饱和，很难获得理想的动态范围。甚长波探测器自身性能的特点在很大程度上限制了甚长波红外焦平面的性能，且对读出电路的设计提出了很高的要求。

虽然缓冲直接注入级(BDI)在功耗、面积等方面有一定的局限性，但是因为 BDI 结构具有低输入电阻、高注入效率、稳定的偏置、良好的匹配等优势[4],所以为了克服甚长波探测器自身存在的不足，在甚长波读出电路设计中采用 BDI 结构作为输入级。同时，由于甚长波红外焦面平的主要噪声来源为光子噪声,除了对光敏元进行不断改进外,要提高红外焦平面的信噪比,就要延长积分时间,因此,在 ROIC 单元电路中增加了一个具有记忆功能的背景抑制结构,在电流注入积分电容前减除大部分的背景电流,从而增加积分时间，提高输出信号的动态范围和对比度。

1 读出电路的模拟链路架构

甚长波红外焦平面读出电路主要由单元电路阵列、视频输出级和数字控制等部分构成。单元电路阵列的主要作用是完成信号的鉴别转换、积分放大、采样保持等,再由数字部分控制,经过视频输出级分路输出采样信号。图 1 给出了该电路的模拟链路架构,其主要包括采用高增益运放的 BDI 输入级、积分采样电容、两级源跟随输出级和背景抑制结构四部分;其中虚线框表示单元电路部分。

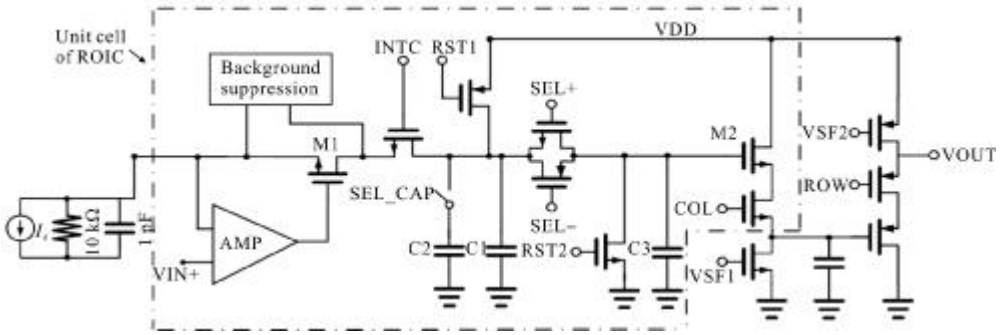

图 1 甚长波红外焦平面读出电路模拟链路架构

Fig.1 System structure of VLMIR FPAs readout circuit

为了适应甚长波红外焦平面的光电流较大且变化范围较宽的情况,在单元电路中使用 C1 和 C2 两个积分电容。当注入电流比较小时,只使用 C1;当注入电流比较大时,选通 SEL_CAP,这样积分电容增加至 C1+C2,可以有效地增加电荷容量,延长积分时间。

同时，在单元电路中增加一个由 SEL 控制的采样保持电容 C3,这样就能将积分电容上的电压信号直接采集到电容 C3 上。通过积分与采样的分离,电路实现了先积分后读出(ITR)和边积分边读出(IWR)两种模式。先积分后读出模式将三个电容并联后做积分电容使用,能够实现最长积分时间;并且由于将积分过程和读出过程分开,减少了彼此间的干扰,降低了信号噪声。边积分边读出模式因为时间利用比较充分,积分部分和采样部分分别工作,所以信号读出速率较快,读出电路帧频较高。

电路工作在边积分边读出模式下时，积分电容 C1、C2 复位至高电平后开始积分;同时,在 SEL 闭合

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com

之前将采样电容 C3 复位至低电平 0 V。积分完成后,闭合 SEL 开关,将 C1、C2 上的积分电荷转移到采样电容 C3 上去,其采样电压值为:

$$U_{samp}=\frac{U_{int}(C_1+C_2)}{C_1+C_2+C_3+C'} \tag{1}$$

式中:U_{int} 为积分电容 C1 和 C2 上的积分电压;U_{samp} 为采样电容 C3 上的采样电压;C' 为 M2 管栅极及金属导线的寄生电容。由公式(1)可以看出,单元电路的输出摆幅经过采样之后下降了$(C_3+C')/(C_1+C_2+C_3)$。由于 MOS 管和金属导线存在较大的寄生效应,在选取积分电容和采样电容大小时,要充分考虑面积、非线性度和输出摆幅之间的折中关系,以便于更好地满足实际需求。

电荷转移完成后 SEL 开启,此时信号已转移至采样电容 C3。积分电容再次复位开始下一帧的积分;同时,在数字部分控制下采样电容上的电压信号开始读出。

源级跟随器结构比较简单,低温下可靠性较高,功率相当低,且具有高的输入阻抗和中等的输出阻抗,因此视频输出级采用两级源级跟随器输出。同时,为了降低高频噪声及减少版图布线引起的非均匀性,在第一级源随之后增加了一个低通滤波电容。

2 带有背景抑制 BDI 结构的研究与设计

考虑到甚长波红外探测器自身的不足,BDI 结构由于具有较低的输入阻抗,输出信号线性度较好,并且能为探测器提供稳定的偏置,使探测器工作在精确的偏压状态,因此单元电路采用 BDI 结构作为输入级。

2.1 采用高增益运放的 BDI 结构研究与设计

与直接注入级(DI)结构相比,BDI 结构在探测器节点之外引入了负反馈倒相运算放大器,它减小了直接注入的输入电阻,因此增加了注入效率和带宽,其注入效率为:

$$\eta=\frac{(1+A_v)g_m R_d}{1+(1+A_v)g_m R_d}\cong\frac{A_v g_m R_d}{1+A_v g_m R_d} \tag{2}$$

式中:g_m 为注入管跨导;R_d 为探测器动态结阻抗;A_v 为运放增益。由公式(2)可知,因为探测器的 R_d 非常小,如果要维持光电流较高的注入效率,则需运放提供较高的增益。另外,为了使注入管有较大的跨导 g_m,同时避免栅极和漏极电压变化对注入管跨导产生影响,需要注入管工作在亚阈值区。亚阈值状态下,工作在弱反型层 MOS 管漏源电流的简单模型[5]如下:

$$I_d=\frac{W}{L}I_{D0}\exp\left(\frac{V_{gs}q}{nkT}\right) \tag{3}$$

式中:I_d 为 MOS 管漏源电流,即注入光电流;W/L 为 MOS 管宽长比;I_{D0} 为与工艺有关的参数;V_{gs} 为栅源电压;q 为电子电量;n 为亚阈值斜率因子;k 为玻耳兹曼常数;T 为绝对温度。

对公式(3)进行一阶微分,求得 MOS 管工作在亚阈值区的跨导为:

$$g_m=\frac{\partial I_d}{\partial V_{gs}}=\frac{I_d q}{nkT} \tag{4}$$

综合公式(2)、(4)可得:

$$\eta=\frac{A_v I_d q R_d}{nkT+A_v I_d q R_d} \tag{5}$$

由公式(5)可知,BDI 结构的注入效率 η 与器件的几何参数无关,但会受到注入光电流变化的影响,增加了电路的非均匀性。如果要降低非均匀性,除了改进探测器,增大探测器动态结阻抗,还需要进一步提高负反馈运放的开环增益,增加 A_v 在公式(5)中的权重使光电流的注入效率非常接近于 1。

图 2 为展开运放后缓冲直接注入级详细结构。由参考文献[6]可知,BDI 输入级所采用的运放需要有足够高的开环增益,此时由于运放“虚地”原理可以使探测器维持在精确的偏置状态,且漏电流也比较小。另外,输出失调电压要小,共模抑制比要高[7],低温可靠性要强[8],以提高对信号的积分精度。

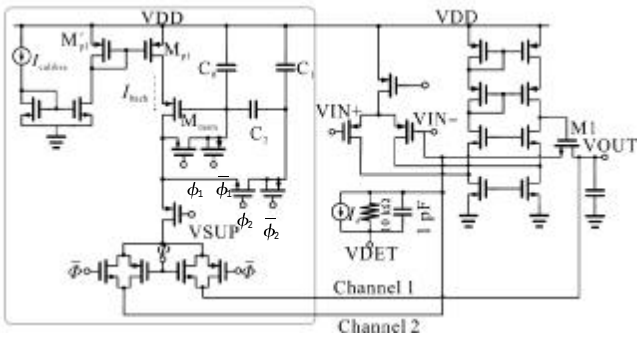

图 2 缓冲直接注入级电路详细结构图

Fig.2 Circuit diagram of BDI

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com

该设计采用折叠式共源共栅运放来获得较高的增益；同时，采用相对较大尺寸的 PMOS 构成输入级,减小运放失调,改善噪声性能。运放各主要参数的仿真结果如表 1 所示。

表 1 运放仿真结果

Tab.1 Simulation result of amplifier

Parameter	Value
Supply voltage/V	5
Voltage swing/V	0.2-2.4
DC-open-loop-gain/dB	86
Phase-margin/(°)	58
CMRR/dB	110
Power consumption/μW	18

2.2 背景抑制结构设计与分析

红外焦平面的噪声是影响电路性能的重要因素。它主要包括光子噪声、探测器噪声和读出电路噪声;特别是甚长波焦平面,光子噪声是其主要噪声来源。在这种情况下,红外焦平面的信噪比近似与积分时间的平方根成正比[9],其表达式为:

$$i_{ph}=\sqrt{2qI_d\Delta F}\approx\sqrt{2qI_d\frac{1}{2T_{int}}}=\sqrt{\frac{qI_d}{T_{int}}} \tag{6}$$

$$\frac{S}{R}=\frac{I_d}{i_{ph}}=\sqrt{\frac{I_dT_{int}}{q}} \tag{7}$$

式中:i_{ph}、I_d、ΔF 和 T_{int} 分别为光噪声电流、探测器光电流、噪声带宽和积分时间。当积分电容的积分电压摆幅为 ΔE,且积分电容大小为 C_{int} 时,积分时间可以表示为:

$$T_{int}=\frac{\Delta EC_{int}}{I_d} \tag{8}$$

综合公式(7)和(8)可得:

$$\frac{S}{R}=\sqrt{\frac{\Delta EC_{int}}{q}} \tag{9}$$

由公式(9)可以看出,红外焦平面的信噪比近似与积分电容的平方根成正比。要提高红外焦平面的信噪比就要增大积分电容，但是阵列单元有限的面积限制了对积分电容的提高。因此,在甚长波红外焦平面读出电路中必须增加背景抑制结构，去除总电流中的背景电流，从而用降低注入电流的方式来延长积分时间,提高红外焦平面的信噪比。

电压-电流转换法背景抑制结构简单,占用面积小,易于实现;但其控制精度较低,引入噪声较多,且各像元只能减去同一背景电流。为了克服电压-电流转换法的上述缺点，该电路设计了一种具有记忆功能的背景抑制电路结构,如图 2 虚线方框中所示。

图 2 中 VSUP 是背景抑制结构的选通开关。电路工作时，首先将焦平面系统置于无有效信号的全背景环境下,并开启 VSUP 和 Channel 1,此时背景抑制结构中的镜像电路产生一个与校准电流 $I_{calibra}$ 相差不大的电流；然后开启 ϕ_1 和 ϕ_2,BDI 结构强制背景抑制电路产生的减电流 I_{back} 与注入管 M1 中读出的背景电流完全一致，再由记忆电容 C_0、C_1 和 C_2 的充放电荷,经 M_{mem} 栅极电荷积累精确完成产生此背景电流的电压记忆；最后将焦平面系统置于正常的工作环境中,关闭 Channel 1,开启 Channel 2，在对探测器光电流进行积分之前预先将探测器光电流中的背景电流成分减除。

如上所述，具有记忆功能的背景抑制电路是由电流 $I_{calibra}$ 和 M_{mem} 栅极电压通过两步控制精确记忆背景减电流。图 3 是背景抑制电路产生的减电流对应校准电流 $I_{calibre}$ 和 M_{mem} 栅极电压的变化曲线。因为镜像管 M_{pI} 输出电阻非常大，所以记忆管 M_{mem} 的电压-电流转换率比较低,线性度比较高,记忆电容抗干扰能力比较强。

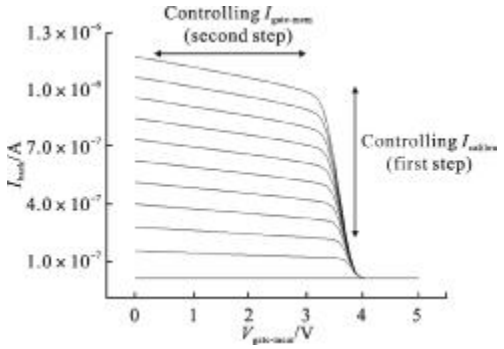

图 3 减电流 I_{back} 对应校准电流 $I_{calibra}$ 及 M_{mem} 栅电压的变化曲线

Fig.3 Background current I_{back} vs. M_{mem}'s gate voltage $V_{gate-mem}$ for different calibration currents $I_{calibra}$

在电路设计中，使用虚拟管或传输门来降低时钟馈通和沟道电子注入效应对记忆电压的影响[4];另外，采用三个环状耦合电容用于降低时钟馈通及外部噪声对记忆电容的干扰，有效降低了背景减电流的抖动误差[3]。

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com

3 仿真及测试结果

该电路基于 HHNEC CZ6H 0.35 μm 1P4M 标准 CMOS 5V 工艺进行了仿真、版图设计及流片。

图 4 为积分时间为 10 μs，总电流按 25 nA 步进从 0.1 μA 递增到 1.0 μA，背景电流设为 0.7 μA 到 0.8 μA 之间不等，$I_{calibra}$ 设为 1 μA 时前仿与后仿的输出结果。其中虚线为前仿结果，实线为后仿结果。

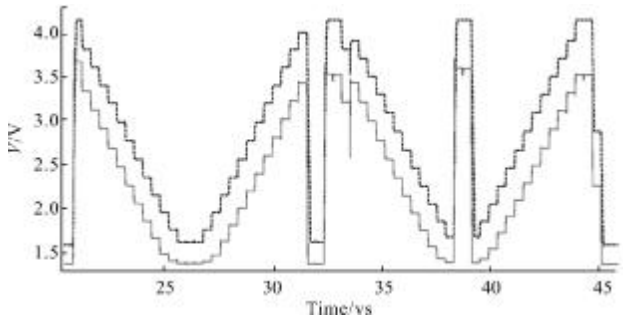

图 4 读出电路前仿与后仿输出结果

Fig.4 Front-end and back-end simulation results of output

仿真结果表明，电路输出摆幅约为 2.2 V，在 2.5 MHz 的读出频率下工作正常。通过对输出梯度电压计算，其线性度大于 99%。通过后仿与前仿对比，考虑到 MOS 管与金属导线的寄生效应后，输出电压整体下降约 0.5 V，输出摆幅减小了约 0.28 V，这与公式(1)估计一致。

对于设定的校准电流 $I_{calibra}$，背景抑制结构产生记忆背景减电流 I_{back} 在 50%$I_{calibra}$ 至 $I_{calibra}$ 的范围内其精度较高。表 2 为不同的背景电流对应背景抑制结构产生的记忆背景减电流，其中 I_{Sback} 是仿真结果，I_{back} 是常温下实际测试结果，**T-Error** 是测试结果的误差。由表 2 可以看出，背景抑制结构的仿真误差小于 1%，测试误差小于 2%。另外，当实际背景电流在 75%$I_{calibra}$，其产生的减电流误差最小，在 70%$I_{calibra}$ 到 80%$I_{calibra}$ 的范围内，其误差小于 0.5%，基本满足多数情况下的实际需求，达到了国际水平[9]。低温下由于电容的漏电会大大降低，其精度会进一步提高[3]。

表 2 记忆背景减电流

Tab.2 Memory background currents

$I_{calibra}$/nA	500	600	700	800	900	1 000
I_{Sback}/nA	504.88	600.20	699.58	800.19	901.63	1 009
I_{Tback}/nA	508	605	702	797	908	1 012
T-Error	1.6%	0.80%	0.20%	0.39%	0.89%	1.2%

图 5 为 50 K 温度下开启与关闭背景抑制的输出结果对比图。当设置积分时间为 23 μs 时，关闭背景抑制的输出曲线基本处于饱和状态，此时背景电路约为 0.5 μA；将校准电流 $I_{calibra}$ 设置为 0.8 μA，开启背景抑制，电路输出基本为零，表明在 50 K 温度下具有记忆功能的背景抑制结构工作情况良好，复制误差较小。

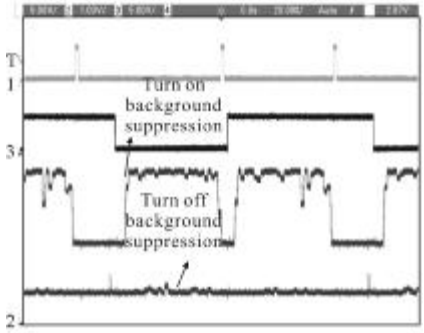

图 5 开启与关闭背景抑制的输出结果对比图

Fig.5 Comparison output voltage of turning on and turning off background suppression

图 6 为芯片与探测器倒接后的焦平面测试结果，其工作温度为 50 K，时钟频率为 0.6 MHz，第一路是模拟输出信号，下面三路是外围数字控制电路的测试端。由图 6 可以看出，芯片可以工作在 0.6 MHz 和 50 K 温度下，且信号响应较好。进一步的测试表明，芯片的输出摆幅为 2.2 V，与图 4 后仿结果一致；最大工作频率可达 2.5 MHz，功耗小于 100 mW，均方根噪声小于 0.3 mV。芯片主要性能及测试结果如表 3 所示。

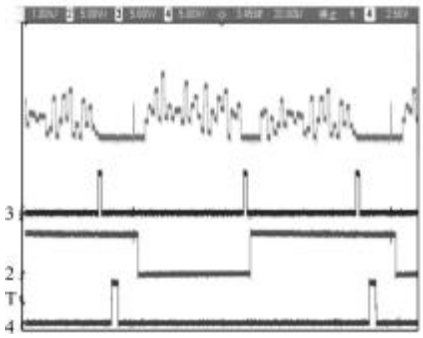

图 6 焦平面的输出结果

Fig.6 Output voltage of FPAs

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com

表 3 电路的主要性能及测试结果

Tab.3 Summary of chip characteristics

Parameter	Performance
Array size	32×32
Pixel pitch/μm^2	60×60
Power supply/V	5
Linearity	99%
Well capacity	$1\times10^{12}e^-$
Output swing/V	2.2
Power dissipation/mW	<100
RMS noise/mV	<0.3
Memory current error	<2%
Operating temperatures/K	50
Max. readout clock frequency/MHz	2.5
Typical readout clock frequencym/MHz	0.6

4 结 论

在研究甚长波红外探测器自身特点及分析 BDI 型读出电路的基础上，设计了一种采用高增益运放且具有记忆功能背景抑制结构的读出电路。该读出电路可以工作在 ITR 和 IWR 两种模式下,通过减去总电流中的背景电流,有效延长了积分时间,增大了对比度。采用 HHNEC CZ6H 0.35 μm 1P4M 标准 CMOS 工艺进行了仿真、版图绘制及流片,结果表明电路功能正常,背景抑制精度达到设计要求,且电路整体注入效率高、功耗低、噪声小、输出摆幅大,满足现阶段甚长波红外探测器的需求。后续在应用中将进一步测试芯片的其他性能。

参考文献:

[1] Fan Jinxiang, Yang Jianyu. Development trends of infrared imaging detecting technology [J]. Infrared and Laser Engineering, 2012, 41(12): 3145-3153. (in Chinese)

[2] Xie Xiaohui, Liao Qingjun, Yang Yongbin, et al. Electro-optical characteristics of HgCdTe very long wavelength infrared photovoltaic detector [J]. Infrared and Laser Engineering, 2013, 42(5): 1141-1145. (in Chinese)

[3] Guang Yang, Chao Sun, Timothy Shaw, et al. A high dynamic-range, low-noise focal plane readout for VLWIR applications implemented with current mode background subtraction[C]//SPIE, 1998, 3360: 42-51.

[4] Yao Libin. CMOS readout circuit design for infrared image sensors [C]//Proceedings of SPIE, 2009, 7384: 73841B: 1-10.

[5] Alllen P E, Holberg D R. CMOS Analog Circuit Design[M]. 2nd ed. Feng Jun, Li Zhiqun, translated. Beijing: Publishing House of Electronics Industry, 2011: 78-80. (in Chinese)

[6] Hao Lichao, Ding Ruijun, Zhang Junling, et al. A high-performance readout circuit (ROIC) for VLWIR FPAs with novel current mode background suppression [C]//IEEE International Conference on Measurement, Information and Control, 2012: 869-873.

[7] Jiang Junwei, Zhao Yiqiang, Meng Fanzhong, et al. High performance readout integrated circuit for IR detectors [J]. Infrared and Laser Engineering, 2009, 38 (5): 787-791. (in Chinese)

[8] Zhao Yiqiang, Sun Shuyun, Zhou Hangyu, et al. Cryogenic characteristics of the infrared detector specific pre-amplifier [J]. Infrared and Laser Engineering, 2007, 36(4): 439-442. (in Chinese)

PDF 檔案使用 "pdfFactory Pro" 試用版本建立 www.pdffactory.com