

基于 TMS320DM8168 的视频编码系统研究与实现

王行行

(中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: 随着信息技术的进步, 空间对地成像已朝着高清、多路方向发展。基于通用 DSP 和 H.264/AVC 视频编码标准的实时视频压缩系统, 由于具有开发周期短、可靠性高、处理速度快、便于升级以及体积小、功耗低、适应性强等优点, 可以为新的需求提供解决方案, 研究基于通用 DSP、采用先进视频压缩技术的实时视频编码器具有重要意义。为满足越来越多的高清视频采集、编码和传输的应用需求, 基于 TI 的新一代多核 DSP TMS320DM8168 芯片, 给出了方案的设计与实现, 在该系统上实现了 H.264 视频编码算法, 可对输入的双路 1080p 视频进行 60 fps 实时编码压缩。方案的主处理器只需一片 DSP, 与传统多路视频压缩方案需要多片处理器相比, 这种高度集成方案降低了部件数量和物料 (BOM) 成本、功耗需求, 缩小了 PCB 尺寸, 提高系统集成度。

关键词: 视频编码; H.264; DM8168; 多路压缩

中图分类号: TP752.1 **文献标志码:** A **文章编号:** 1007-2276(2014)S-0059-06

Research and implementation on video coding system based on TMS320DM8168

Wang Hanghang

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: With the development of information technology, space imaging has been developed toward high-definition and multi-channel direction. Real-time video compression system, based on general-purpose DSP and H.264/AVC video coding standard, due to short development cycle, high reliability, high processing speed, ease of upgrades, small size, low power consumption and high adaptability, can provide a solution for the new requirements. Therefore, it is of great importance to study real-time video encoder based on general-purpose DSP and advanced video compression technology. To meet the application needs of more and more high-definition video capture, coding and transmission, TI's new generation multi-core TMS320DM8168 chip was used for development, and the design and implementation of system was proposed, and then the H.264 video encode algorithm was realized for dual 1080p input video. The main processor of the scheme needs only a piece of DSP. Compared with the traditional video compression schemes which need multi processor, this highly integrated scheme reduces the number of parts and materials (BOM) cost, power requirements and the size of PCB, and increases the system integration.

Key words: Video Coding; H.264; DM8168; multi-channel compression

收稿日期: 2014-10-09; 修订日期: 2014-11-18

基金项目: 国家 863 高技术研究发展计划(2012AA121502)

作者简介: 王行行(1990-), 男, 研究实习员, 主要从事成像系统设计等方面的研究。Email: whh1990@foxmail.com

0 引言

对地观测成像是卫星的主要业务之一^[1],随着空间光学系统的发展,卫星能够在轨道上对地面多个视角拍摄高清的视频^[2]。由于拍摄后的视频数据量太大,星地链路通信带宽限制,不能传输原始数据,只能压缩后再传输。到现在为止,大量的实验实践证明,对于压缩编码实时视频图像来说,MPEG-4 和 H.264 技术是最好的技术之一。

TMS320DM8168^[3-5]可编程性由一个具有 NEON™ 扩展的 ARM® Cortex™-A8 RISC CPU、TI C674x VLIW 浮点 DSP 内核、及高分辨率视频/成像协处理器提供,将多通道高清视频系统上所有的捕获、编码、显示和控制功能都完美地整合在单芯片上,从而可以满足用户在高集成度和高清晰度上越来越苛刻的需求。该款 SOC 针对视频通信和视频安全应用进行精心设计,其关键之处在于多达 3 个高分辨率视频/成像协处理器(HDVICP2)。每个协处理器能够处理单个 1080p60 H.264 编码或解码、或者多个较低分辨率或帧速率的编码/解码。另外,也可完成多通道 HD 至 HD 或 HD 至 SD 代码转换以及多重编码。凭借可同时处理 1080p60 数据流的能力,TMS320DM8168 器件成为了一款适合当今苛刻的 HD 视频应用要求的强大解决方案。

1 多路视频压缩编码的硬件实现方案比较

1.1 多片 TMS320DM6467 并联方案

该方案采用一块视频压缩板上集成两片 DSP^[6],每一片 DSP 压缩一路高清视频。

编码器中 DSP 选用 TI 公司的达芬奇系列 TMS320DM6467 处理器。达芬奇系列 DSP 是 TI 公司专为多媒体数据压缩开发的高性能 DSP,内部采用多核处理器结构,具有高速处理、专用指令、接口丰富等特性。

TMS320DM6467 芯片主频为 600 MHz,处理速度达到 4 800 MIPS。TMS320DM6467 是专为应对高分辨率视频编解码而设计的,其内部集成了 ARM 与 DSP 双内核,并集成了两个高清视频和图像协处理器(HDVICP0 和 HDVICP1)以及一个视频数据转换引擎。HDVICP0/1 协处理器可实现运动补偿、运动估计

等运算量巨大计算,是实现高分辨率视频压缩的核心模块,它可支持 H.264、MPEG2、VC1、MPEG-4 等标准的编码和解码操作,支持的图像分辨率可达 1 920×1 080。视频数据转换引擎(VDCE)可以实现图像的下采样、色度变换等功能。

优点:可以良好地完成双路视频的高清压缩编码功能,设计和实现简单。

缺点:硬件(包括价格、硬件电路板所占空间)开销大、功耗大。

1.2 FPGA+单片 TMS320DM6467 方案

该方案采用一片 FPGA+一片 TMS320DM6467。

由于 TMS320DM6467 只有一路视频输入 VPIF 接口。因此,需要外扩控制器芯片 FPGA,实现双路视频的输入。FPGA 接收外部输入的两路高清视频图像,并将两路视频复合,按时隙发送给 DSP,解决视频的输入问题。同时受 DM6467 处理器的处理能力所限,对于每一路只能实现 25 fps 的压缩。

优点:相较于第一种方案,功耗方面有所减小。

缺点:输入接口复杂,多帧处理采用多线程实现,算法调度复杂,要求开发者同时对 FPGA 硬件逻辑设计和 DSP 软件设计都非常熟悉。鉴于 FPGA 的价格,整板价格也比第一种方案要高。

1.3 单片 TMS320DM8168 方案

该方案采用单片 TMS320DM8168。

DM8168 的外设 HDVPSS 可以完成多路高清视频的同时接收,且配有三个高清视频协处理器 HDVICP,可以分别对一路高清视频压缩编码进行硬加速。

优点:输入接口简单,新一代 XDM API 实现了多路调用算法,相较于前两种方案,无论在功耗和价格方面,都具有很大优势。

缺点:视频编码时,多路视频采集和压缩调度算法也更复杂。需要开发者对 DM8168 的硬件架构和软件开发平台都非常熟悉。

基于以上分析,单片 TMS320DM8168 方案在多路视频压缩方面的优势,文中以 DM8168 为核心实现了双路 H.264 高清视频编码器。多路编码器实现核心是如何将两个 HDMI 通道采集的图像分别进行编码,且保证互相之间没有影响。解决思路为,在存

存储器 DDR3 中开辟多核之间可以共享的缓冲区,每个通道所映射缓冲区地址独立,以供多核之间进行数据传递。在压缩编码时,Video-M3 控制高清视频协处理器 HDVICP,每个 HDVICP 对一路高清视频压缩编码进行硬加速。

2 TMS320DM8168 芯片软件框架

DM8168 处理器是个多核处理器,每个核之间相互独立却又相互关联,如何高效简洁地利用每个核完成一套系统功能是非常关键的。文中开发平台 SDK 为 DVRDK,实现框架为 McFW,算法引擎为 TI 的 XDAIS 标准。McFW 软件框架结构允许用户创建不同的多路数据流来实现视频的采集、视频处理(DEI、Noise Filter、Encode、Decode、SwMs、Merge 等)和视频播放功能。

link 在视频数据流中是最基本的单元模块,每个 link 中包含了一个基于 BIOS6/Linux 的任务、线程、消息盒(使用操作系统的信号量实现)。由于每个 link 运行一个独立的线程,因此各个 link 之间可以并行运行。消息盒是关联用户指定的 link,让 link 之间有个互相对话的机制,用来传递信令。而对于视频流数据、原始图像数据的传递 link 实现了专门的接口来实现,只传递指针,而不是数据。基于 link 结构,视频处理的流程中,所有工作量就可以均衡到每个处理器内核上去执行。

一个 Chain 是由多个 links 按照一定的应用需求按顺序连接成一条视频处理的数据流。

3 多路视频压缩系统的设计

文中多路视频编码系统主要完成双路 HDMI 视频的采集、压缩以及存储,然后将存储的文件通过 Rtsp 服务器实时输出。根据任务需求,将数据链分解成 link 来实现,link 功能分配如下。

captureLink:工作于 VPSS-M3 核心,完成双路视频图像的采集;

IpcOutVpssLink:工作于 VPSS-M3 核心,将采集的视频图像数据发送到 Video-M3 端;

IpcInVideoLink:工作于 Video-M3 核心,从 VPSS-M3 接收采集的视频图像数据;

encLink:工作于 Video-M3 核心,对视频数据进行 H.264 压缩编码;

IpcBitsOutVideoLink:工作于 Video-M3 核心,将压缩后的视频码流发送到 Cortex-A8;

IpcBitsInHostLink:工作于 Cortex-A8 核心,从 Video-M3 接收压缩后的视频码流,并存成文件。

将以上所有的 link 按照顺序,组成数据链,即可完成视频采集和压缩(图 1)编码工作。

最后在 Cortex-A8 端建立 Rtsp 服务器,将压缩后的码流通过流媒体发送到客户端,在 PC 下,使用 FFMPEG 视频播放器实现 Rtsp 客户端,接收码流、解码并实时播放。

除 Cortex-A8 核之外,所有核心的应用程序和驱动程序均是以固件的形式在 Linux 中加载。视频压缩系统框图如图 1 所示。

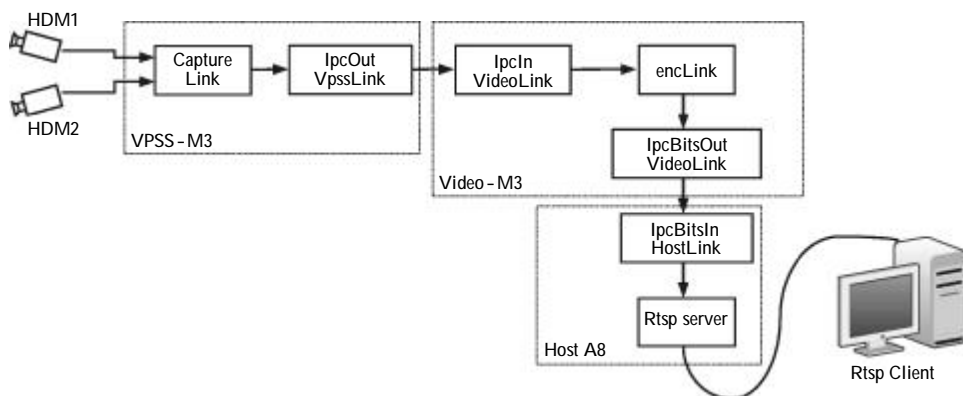


图 1 视频压缩系统框图

Fig.1 Block diagram of video compress system

3.1 Capture Link 设计

上一级 Link: 无

下一级 Link: IpcOutVpssLink(VPSS-M3)

Capture Link 运行在 VPSS-M3 核上,用于原始

视频数据的采集, 可以支持多路标清模拟视频和高清数字视频的采集。文中系统中, 实现双路高清 1080p HDMI 采集, 接口芯片为 Sii9233ACTU。视频采集 Link 输入图像格式为 YUV422P, 输出图像格式为 YUV420SP。

3.2 Encode Link 设计

上一级 Link: IpcInVideo(Video-M3)

下一级 Link: IpcBitsOutVideo(Video-M3)

Encode Link 运行在 Video-M3 核心上, 接收 Capture Link 传输的多通道视频图像数据, 并完成视频的压缩编码。该 Link 主要包含两个方面的工作: 一是运行在 Video-M3 核心上, 完成与其他应用程序的接口, 接收视频数据、分配算法资源; 另一个是调用 HDVICP2 完成视频压缩编码各个模块的算法实现。

编码器通过新定义的 XDM API 可以实现在一次处理调用里编码来自不同通道的多帧数据。这样就可以减小 Video-M3 线程之间切换所带来的额外开销。为实现多通道工作, XDM 接口定义多通道参数结构体如下:

```
#define
IH264ENC_MAX_LENGTH_PROCESS_LIST(24)
typedef struct
{
    IVIDENC2_Handle handle;
    IVIDEO2_BufDesc *inBufs;
    XDM2_BufDesc *outBufs;
    IVIDENC2_InArgs *inArgs;
    IVIDENC2_OutArgs *outArgs;
}IH264ENC_ProcessParams;//编码处理参数结构
typedef struct
{
    XDAS_Int32 numEntries;
    XDAS_Int32 enableErrorCheck;
    IH264ENC_ProcessParams          processParams
[IH264ENC_MAX_LENGTH_PROCESS_LIST];
}IH264ENC_ProcessParamsList;//多通道参数序列
typedef struct IH264ENC_Fxns
{
    IVIDENC2_Fxns ividenc;
    XDAS_Int32(*processMulti)
(IH264ENC_ProcessParamsList *processList);
```

```
}IH264ENC_Fxns;
```

利用上述结构体, 实现一次调用编码多帧数据的处理流程为:

(1) 为每个通道分别设置编码参数 (handle, inBufs, outBufs, inArgs, outArgs);

(2) 创建 IH264ENC_ProcessParamsList, 该结构体里存储所有通道的参数信息;

(3) 通过 IH264ENC_ProcessParamsList 地址调用新定义的 API processMulti;

(4) processMulti 执行完之后, 通过 codec 返回值获取执行状态信息, 并根据不同的状态完成不同处理。

Encode Link 包括一个 link 任务、三个处理任务 (每个 IVA 分配一个) 和一个周期任务。

Step1: Encode Link Task

当 Encode Link 收到事件 SYSTEM_CMD_NEW_DATA 时, 开始处理;

从输入 FULL 队列里读取输入的视频数据;

将该帧数据加入 Encode Link 队列 (该队列是可以区分通道的);

检测输出缓冲区是否可用;

如果输出队列可用, 从输入 Encode Link 队列中取出输入的帧数据;

从输出的缓冲区池中去取出一个缓冲区;

创建一个 ProcessList, 包含输入帧和输出缓冲区;

创建一个多通道的 ProcessList, 将之加入到适合的 IVA 处理队列里。具体放入哪个 IVA 处理队列, 由 IVA 通道映射来决定。

Step2: IVA Process Task

从输入处理队列里移除多通道的 ProcessList;

设置多通道编码引擎参数 ProcessParamsList 和 ProcessParams (包括每个通道的 inArgs, outArgs, inBufs 和 outBufs);

编码结束以后, 将 ProcessList 加入到处理结束队列。

Step3: Periodic Clock Object

向 Encode Link Task 发送 ENC_LINK_CMD_PROCESSED_DATA 事件。

Step4: Encode Link Task

当接收到 ENC_LINK_CMD_PROCESSED_DATA 事件, 将 ProcessList 从处理处理 Done 队列中移除;

将输出缓冲区数加入输出 FULL 队列, 并输出到下一级 Link;

将输入帧数据加入到输入 Empty 队列以释放该帧数据。

3.3 码流存储线程

上一级 Link: IpcBitsInHostLink(Cortex - A8)

下一级 Link: 无

系统初始化时, 在 Cortex - A8 端创建工作线程, 该线程主循环实时检测 IpcBitsInHostLink 中缓冲区的视频码流, 一旦检测到有数据更新, 就将更新的视频码流写成文件。图 2 为码流存储线程执行流程图。

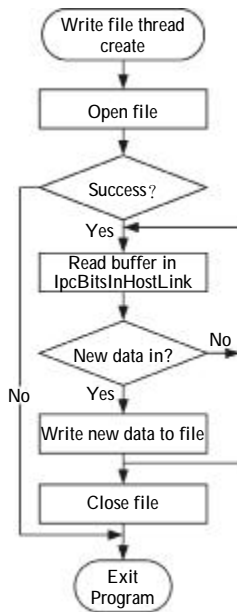


图 2 码流存储线程执行流程图

Fig.2 Processing flow of stream store thread

3.4 Rtsp Server 设计

Rtsp Server 为 Linux 下开发的 用户应用程序, 运行在 Cortex - A8 内核中的 Linux 下。创建 Rtsp 流媒体服务器^[7], 将编码器编码后生成的码流文件实时发送出去。Rtsp 流媒体传输的实现方法如下:

(1) 在 Linux 下, 执行 ./mkfifo "filename", 使用指定的文件名创建 FIFO(也称为“命名管道”)。该文件是码流存储线程中将码流写入的文件, 两路码流压缩后, 分别写入两个文件。“FIFO”是一种特殊的文件类型, 它允许独立的进程通讯。一个进程打开 FIFO 文件进行写操作, 而另一个进程对之进行读操作, 然后数据便可以如同在 shell 或者其它地方常见的的匿名管道一样流线执行。

(2) 打开流媒体服务器将上述文件传输到当前板子 IP 的指定端口, 两个文件分别传输到端口 5000 和 6000。

(3) 建立 Rtsp 客户端, 向服务器端请求数据, 该客户端由 FFMPEG 播放器实现, 客户端请求两路视频的 URL 分别为 rtsp://192.168.128.4: 5000/video0 和 rtsp://192.168.128.4: 6000/video1。

(4) 客户端根据上述 URL 信息向媒体服务器请求初始化视频服务, 视频服务在初始化完成后, 服务器就为该用户新建一个媒体服务流, 客户可对该媒体流进行一些控制操作, 例如播放、暂停、停止等。服务完毕, 客户端即提出断开连接请求, 此时服务器断开该媒体流, 整个视频服务到此结束。

3.5 PC 端 RTSP 监控客户端设计

视频监控客户端是工作于 PC 端的视频解码软件。解码软件设计采用 FFmpeg + SDL + MFC 结构: FFmpeg 为免费开源音频和视频流方案, 文中系统调用其中的解码库解析和解码 H264 码流; Simple DirectMedia Layer(SDL) 是一个跨平台的多媒体库, 用于直接控制底层多媒体硬件的接口, 文中系统调用 SDL 的显示和事件控制接口, 用于解码后视频的显示播放和对用户事件的响应; 另外采用 Microsoft Foundation Classes(MFC) 设计监控客户端界面。

4 多路视频压缩系统实现

文中系统实现和验证基于 ETV - HDV8168 - HDMI 开发板, 采用达芬奇技术的 TMS320DM8168 为核心, 外设包括: 8 片三星公司的 DDR3 存储芯片 K4B2G0846D, 每片容量支持 2 Gbit, 位宽为 8 bit; 1 片美光的 NAND FLASH 芯片 MT29F2G16AAD, 容量为 2 Gbit, 位宽为 16 bit; 2 路 HDMI 视频输入采用 HDMI 接收器 Sii9233a, 把 HDMI TMDS 信号转换为 TTL 数字信号, 可输出 RGB8:8:8、YCbCr4:4:4 和 YCbCr4:2:2 等信号格式; 2 路 1000M 网络接口, 兼容 10/100M, 物理接口为标准的 RJ45 口, 输出压缩后码流; 外接时钟以及电源模块等。在 ubuntu 10.04 系统环境下完成嵌入式程序设计与调试, 软件包括 TMS320DM8168 初始化程序, 外围设备的驱动程序, 嵌入式操作系统以及应用层程序等。初始化程序主要用于设置 TMS320DM8168 多核处理器启动方式、工作模式、系统初始化等工作, 驱动程序是连接底层

硬件和操作系统 API 函数的纽带, 嵌入式操作系统完成多任务调度和系统资源管理, 应用层程序用于实现视频采集、处理、压缩、存储与传输。在 Windows 环境下完成监控客户端设计, 接收、解码和显示视频图像。软件执行流程如图 3 所示。

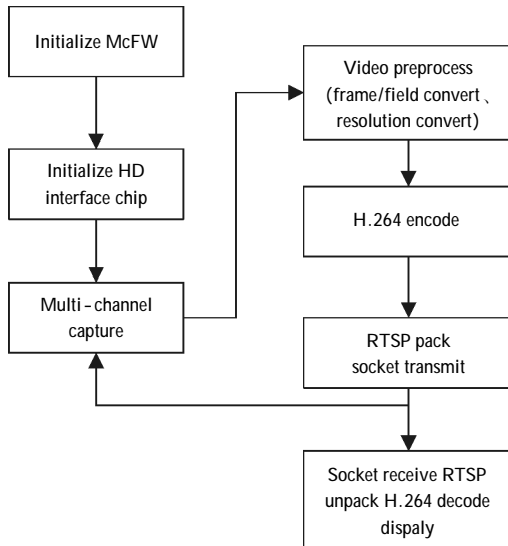


图 3 软件执行流程

Fig.3 Processing flow of software

将可执行文件下载到开发板上, 最终实现了接收外部输入的双路 HDMI 1080p 的视频数据, 在 DM8168 中进行压缩编码, 最后通过 Rtp 协议将压缩码流通过网口输出, 并在 PC 端, 由监控播放器实现 Rtp 客户端, 接收视频码流并实时播放。

在 PC 端运行两个监控播放器, 作为 RTSP 客户端, 接收服务器端传输的视频码流, 并进行实时播放。两个监控客户端请求的 URL 分别为 `rtsp://192.168.128.4:5000/video0` 和 `rtsp://192.168.128.4:6000/video1`。显示效果如图 4 所示, 性能参数如表 1 所示。



图 4 系统显示效果

Fig.4 Display effect of system

表 1 视频压缩参数列表

Tab.1 Parameter list of video compression

Features	Channel 0	Channel 1
Resolution	1 920×1 080	1 920×1 080
Frame rate	60 fps	60 fps
Bit rate	7 128.9 Kbps	7 421.9 Kbps

5 结论

文中对比当前多路视频压缩编码的硬件实现方案, 最终确定采用基于 TI 达芬奇 DM8168 多核处理器作为开发的平台, 研究了新一代达芬奇系列多核处理器 DM8168, 分析了其硬件架构和软件开发框架, 在研究设计的基础上对系统进行实现, 基于最新的达芬奇开发平台, 在 DM8168 多核处理器上实现了实时多路高清编码系统, 并在 PC 端利用 FFmpeg 多媒体库设计视频播放器对码流实时接收、解码和显示。基于 DM8168 的多路高清视频监控^[8-9]集成方案能显著降低系统成本, 其高性能和易用性为空间对地成像与压缩应用提供了全新的选择和空间, 能显著地提高性能, 并减少开发时间, 极大地满足了高清视频监控的发展需求。

参考文献:

- [1] Liu Zhaojun, Chen Wei. Space applications of staring imaging technology with area FPA[J]. *Infrared and Laser Engineering*, 2006, 35(5): 541-545. (in Chinese)
- [2] Liu Meiyong, Wang Hu, Wen Desheng, et al. Design of a large plane CMOS camera system FPGA [J]. *Infrared and Laser Engineering*, 2013, 42(S2): 337-341. (in Chinese)
- [3] TMS320DM6467 Digital Media System-on-Chip[Z]. 2007.
- [4] TMS320DM816x DaVinci Digital Video Processors Technical Reference Manual(sprugx8b). pdf[Z].
- [5] DVR RDK Multi Channel FrameWork Software User Guide (Document Revision 1. 05). pdf[Z].
- [6] Cao Libao, Zhao Baojun. High-speed real-time data compression system based on C64X [J]. *Infrared and Laser Engineering*, 2007, 36(3): 403-406. (in Chinese)
- [7] Lu Ri. Fast Inter-Media Synchronization Scheme of Streaming Media Based on RTP/RTCP and RTSP.[EB/OL]. (2007-05-14) <http://www.paper.edu.cn/releasepaper/content/200705-172>. (in Chinese)
- [8] Hu Yonghong. Intelligent multi-channel video surveillance system design[J]. *Computer History of the Development*, 2011 (1): 44-46.