

基于可编程开窗IP核的低功耗读出电路研究

汪鸿祎 陶文刚 陆逸凡 张永刚 黄松垒 方家熊

Study of low-power readout circuit based on a programmable windowing IP core

Wang Hongyi, Tao Wengang, Lu Yifan, Zhang Yonggang, Huang Songlei, Fang Jiaxiong

在线阅读 View online: <https://doi.org/10.3788/IRLA20230241>

您可能感兴趣的其他文章

Articles you may be interested in

1 024 × 1 024 AlGa_N紫外焦平面读出电路的超低功耗设计

Design of ultra-low-power readout circuit for 1 024 × 1 024 UV AlGa_N focal plane arrays

红外与激光工程. 2020, 49(5): 20190491 <https://doi.org/10.3788/IRLA20190491>

精准农业观测高数值孔径短波红外成像光谱仪光学系统

Optical system of imaging spectrometer in short-wave infrared with high NA for precision agriculture observation

红外与激光工程. 2018, 47(12): 1218007 <https://doi.org/10.3788/IRLA201847.1218007>

用于实时目标检测的高速可编程视觉芯片

A high speed programmable vision chip for real-time object detection

红外与激光工程. 2020, 49(5): 20190553 <https://doi.org/10.3788/IRLA20190553>

基于分时共享方案的640 × 512红外读出电路设计

Design of 640 × 512 infrared ROIC based on time-sharing method

红外与激光工程. 2017, 46(10): 1004001 <https://doi.org/10.3788/IRLA201780.1004001>

短波红外InGaAs焦平面探测器研究进展

Developments of short-wave infrared InGaAs focal plane detectors

红外与激光工程. 2020, 49(1): 0103006 <https://doi.org/10.3788/IRLA202049.0103006>

具有背景抑制功能的长波红外读出电路

Long wavelength infrared readout circuit with background suppression function

红外与激光工程. 2021, 50(2): 20200266 <https://doi.org/10.3788/IRLA20200266>

基于可编程开窗 IP 核的低功耗读出电路研究

汪鸿祎^{1,2,3}, 陶文刚^{1,2,4}, 陆逸凡^{1,2,3}, 张永刚^{1,2}, 黄松垒^{1,2}, 方家熊^{1,2}

1. 中国科学院上海技术物理研究所 传感技术联合国家重点实验室, 上海 200083;
2. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;
3. 中国科学院大学, 北京 100049;
4. 上海科技大学, 上海 201210)

摘要: 红外焦平面探测器正朝着更大规模、高帧频、高集成度的方向发展。在高速目标跟踪探测、感兴趣区域成像等应用场景, 需要解决高速读出时面临的功耗较高的难点。文中提出了一种数字 IC 的可编程开窗 IP 核设计, 并通过采用列级分时选通技术, 实现对 640×512 读出电路列模块的超低功耗优化。像素单元电路包含 CTIA 输入级、双采样保持结构和跟随输出, 折衷优化了面积、噪声和增益等因素。相较于传统用门级电路定制设计实现的开窗方式, 可编程开窗数字 IP 核对于不同面阵规格具有良好的可扩展性, 并且可以借助后端软件综合优化版图布局, 从而缩短设计周期。实际研制中采用 $0.18 \mu\text{m}$ 标准 CMOS 工艺完成了中心距 $15 \mu\text{m}$ 的 640×512 读出电路设计及流片验证, 并与 640×512 元短波红外 InGaAs 探测器芯片进行了耦合测试, 结果表明分时选通技术有效降低了列级电路功耗, 电路读出总功耗小于 80 mW , 列级功耗仅为 15 mW , 读出速率达到 15 MHz , 可编程开窗 IP 核功能正常, 可以实现指定区域的开窗功能。

关键词: 可编程随机开窗; 分时选通技术; 读出电路; 铟镓砷; 短波红外

中图分类号: TN215 **文献标志码:** A **DOI:** 10.3788/IRLA20230241

0 引言

随着红外探测器实时探测技术的应用发展, 对于高帧频应用场景成像的需求越来越迫切, 如高速小目标的探测跟踪, 高端红外武器装备中高速导弹红外导引头成像, 以及高速测温等领域^[1]。随着 Reago 等人在 1999 年提出第三代红外焦平面的技术概念, 指明了红外焦平面读出电路朝着大规模、高帧频以及高性能的方向发展^[2-3], 红外焦平面空间分辨率逐步提升发展至如今的百万甚至千万级像素^[4]。红外焦平面规模不断扩大, 对高帧频读出和随机开窗功能的需求也越来越迫切。同时, 规模的增加也带来了电路功耗的不断升高, 实现这些功能的电路越来越复杂, 传统的

从晶体管级设计读出电路的数字模块变得越来越困难。

随机开窗功能是提高红外焦平面读出电路帧频, 以及实现局部感兴趣区域高速读出的有效方式^[5]。它既允许高分辨率焦平面探测器全窗口工作, 也可以根据用户需要选择性地指定像元阵列的部分区域来进行快速数据读出, 从而降低每一帧读出的数据总量, 在不增加带宽和功耗的情况下提高电路读出帧频, 未来在目标跟踪以及模式识别中具有广泛应用前景^[6-7]。国外先进的红外探测器公司也推出了具有随机开窗功能的红外探测器产品^[8-10]。传统的开窗成像借助现场可编程逻辑门阵列 (Field Programmable Gate Array, FPGA) 片外资源

收稿日期: 2023-04-20; 修订日期: 2023-07-03

基金项目: 国家自然科学基金项目 (62175250); 中国科学院青年创新促进会项目 (2020245)

作者简介: 汪鸿祎, 女, 博士生, 主要研究领域为红外传感器读出电路设计。

导师简介: 方家熊, 男, 研究员, 主要从事半导体光电器件、光电传感器读出电路设计等方面的研究。

黄松垒, 男, 副研究员, 博士, 主要从事光电传感器读出电路设计方面的研究。

对输出图像进行处理,后来较为先进的开窗技术发展为直接集成读出电路芯片的数字控制模块,提高了系统集成度。目前国内外在红外探测器读出电路芯片级别实现的随机开窗架构主要分为在像素阵列外部采用译码器架构直接获取读出地址的“异步读出模式”^[11-12]和在像元或子阵列内增加存储和控制模块的“同步读出模式”两大类^[13]。前者直接从译码器获取读出地址,常用的架构为格雷码译码器架构,对于不同的面阵规模,译码器电路差异很大,需要定制化设计,适用于较小面阵规模。当面阵规模增大时,译码器位数增多,设计复杂度提升,且由于门电路数量增加,信号通路上将面临严重的竞争冒险现象。“同步读出模式”中读出的地址仅与时钟相关,可以避免竞争冒险问题,然而其将控制电路放置在像元内部,虽然可以采用模块化设计,面阵变化时扩展也相对简单,但是由于其占据了一定像元面积从而限制了像元尺寸的缩小,难以实现大面阵高分辨率成像^[14]。

面向大面阵红外焦平面高帧频应用,文中提出了一种基于数字 IC 设计流程实现的可编程开窗 IP 核 (Intellectual Property core) 设计,对于不同面阵规格,开窗核心算法可复用,因此具有良好的可扩展性。此 IP 核采用行列地址控制字开窗架构,不占用像元内面积,并且借助数字后端软件进行综合布局,可以实现版图的高度集成,缩短设计周期。同时针对高速输出时面临的功耗较高的难点,采用一种列级分时选通技术,可将列级输出功耗降低 90% 以上,实现列级模块的超低功耗优化,为大规模高帧频红外焦平面读出电路设计奠定技术基础。

1 电路整体架构

红外焦平面读出电路的整体电路架构如图 1 所示,主要包括 640×512 规模的像元阵列,可编程开窗数字 IP 核模块,以及高速低功耗列级缓冲电路和输出级电路。其中可编程开窗数字 IP 核模块通过用户外部输入控制字,可以实现行选、列选、指定位置开窗功能。为了有效提高电路帧频,读出电路采用四通道同时输出。读出电路正常工作时,通过向控制寄存器中写入控制命令字,设定当前帧的工作模式以及开窗读出的位置和尺寸大小。根据读出时序的不同,可实现先积分后读出 (Integrate Then Read, ITR) 和边积分边读出 (Integrate While Read, IWR) 两种工作模式。

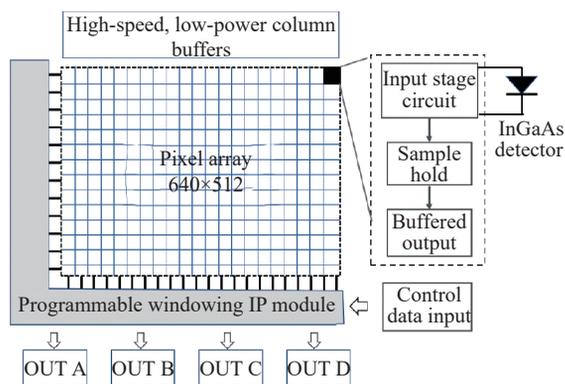


图 1 基于可编程开窗数字 IP 核的红外焦平面读出电路整体结构框图
Fig.1 The system architecture of IRFPA ROIC with programmable windowing IP core

红外焦平面读出电路的模拟信号链路主要包括像元阵列、高速低功耗列输出级以及输出缓冲器,如图 2 所示。其中像元电路与红外探测器通过钢柱直接耦合,负责将光生电流信号进行积分、放大后转化为模拟电压。在可编程开窗数字 IP 核的控制下,有

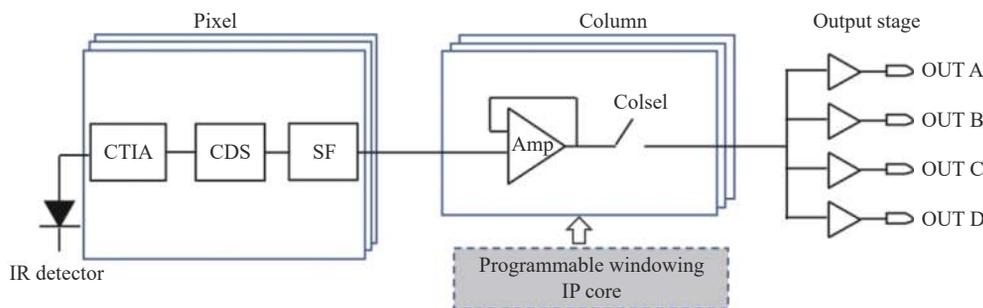


图 2 模拟信号链路
Fig.2 Analog signal chain

选择性地开启指定行列地址, 信号被传送至列级缓冲电路, 最后通过四通道输出缓冲器进行输出。

2 像元电路结构

红外焦平面读出电路像元结构具体包括输入级、采样保持电路和输出级电路, 如图 3(a) 所示。由于可以提供恒定的探测器偏置电压, 同时具有较高的注入效率和较好线性度等优点, 采用电容反馈跨阻型放大器 (Capacitance Trans-Impedance Amplifier, CTIA) 作为读出电路的输入级结构。为满足不同强弱光照场景下的应用需求, 设计中采用两档可选增益, 在应用层

面实现高动态范围^[4]。对于弱光场景, 采用高增益档可以实现较高灵敏度。强光条件下, 由于低增益档具备较高的电荷满阱容量, 使得信号不易饱和。为了抑制输入级结构复位开关管的 KTC 噪声, 提高成像质量, 像元电路内采用相关双采样结构。通过对同帧信号进行两次连续采样, 两次采样之间的噪声存在时间相关性, 因此可有效抑制前级电路的低频噪声。单元输出级采用源极跟随器结构, 将采样电容上的信号电压传输到输出总线上。为了减小像元电路版图面积, 每条列级总线共用电流源负载, 同时这也将有效降低像元电路内的功耗。

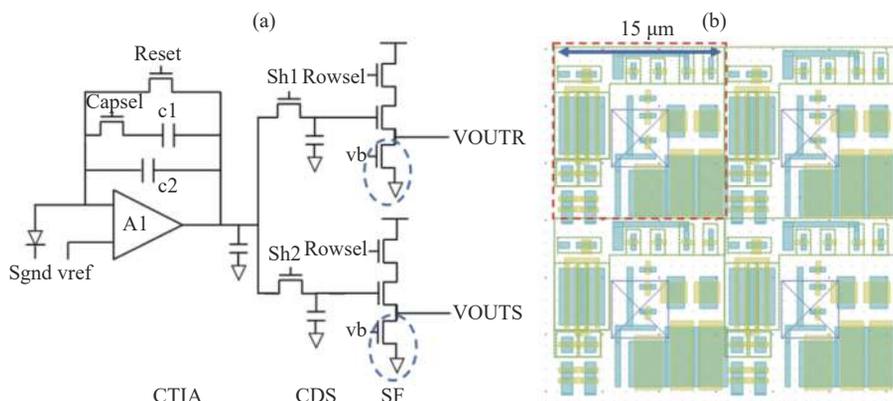


图 3 (a) 像素单元电路结构; (b) 2×2 阵列版图平移单元

Fig.3 (a) Pixel unit circuit structure; (b) 2×2 pixel array layout

受单元电路版图面积的限制, 需要折衷考虑面积、增益、噪声从而得出最优的单元电路设计。为了避免由于版图引起的固定模式噪声, 在版图绘制时采用相应的匹配技术, 最大程度减小失配。同时为实现高集成度像元电路, 且能够与 InGaAs 光敏芯片尺寸严格匹配 (15 μm×15 μm), 版图绘制中利用高密度金属 (MIM) 电容器来优化电容设计。采用 0.18 μm 标准 CMOS 工艺完成了图 3(b) 中所示像元电路版图, 将像元电路沿着 X 轴和 Y 轴进行翻转, 镜像放置构成的 2×2 阵列作为最小平移单位。

3 列级分时选通技术

像元内产生的电压信号需经过列级总线传输到列级缓冲器进行输出, 对于 640×512 阵列, 读出电路工作时需要 640 个列级输出缓冲器单元, 会消耗较大功耗。文中提出一种分时选通技术, 通过列级缓冲器

的分时电流源设计对列级输出电路进行动态控制, 降低整个列级放大电路的功耗。

列级输出电路如图 4(a) 所示, 采用推挽输出结构作电压跟随器, 负责列级总线输出。由于该输出级结构具有单位增益, 输出与输入摆幅相同, 因此对信号没有衰减。推挽输出电路采用图 4(b) 中的二级级联运放结构, 对于此结构, 负载电容越大, 其相位裕度越大, 运放越稳定, 因此, 文中推挽输出结构适合于大负载电容的总线输出驱动电路。相比于源跟随器, 推挽输出结构具有更高的带宽, 读出速率可达 10 MHz 以上, 但是推挽输出级的缺点是功耗较大, 一般需 mW 以上, 驱动能力越强功耗越大。

为降低整体电路功耗, 在列级输出结构上提出了一种分时选通技术, 通过设计图 4(a) 中所示功耗控制模块产生列级预选通信号, 对列级缓冲器的分时电流源进行控制, 从而控制缓冲输出级的工作状态。当第

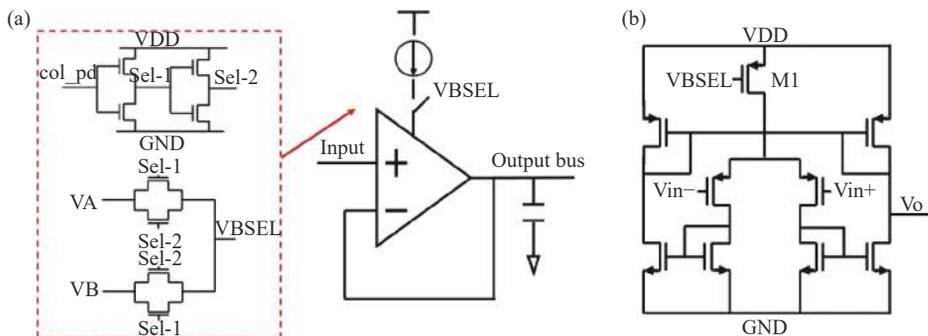


图 4 (a) 功耗控制模块与推挽输出结构; (b) 推挽输出运放结构

Fig.4 (a) Power consumption control module and push-pull output structure; (b) The op-amp structure of push-pull output stage

一级运放的偏置电流源 MOS 管 M1 工作在低电流截止状态, 此时列级输出结构功耗接近于零。当 M1 管导通时, 运放正常工作, 提供一个较大的偏置电流, 缓冲器具有较大驱动能力, 消耗较大功耗。采用分时选通技术的列级缓冲器工作时序如图 5(a) 所示, 电路在每个列级预选通信号有效期的后半半个时钟周期输出, 列级缓冲器提前半个时钟周期进入大电流模式, 以便于在列级输出总线上建立信号。对于文中设计的四通道读出电路, 尽管整个面阵读出电路共有 640 列输出级电路单元, 但是任意时刻仅有八列输出缓冲器同时工作。相比于 640 列同时持续工作, 文中提出的分时选通技术降低了列级传输电路的瞬时功耗, 减少了非必要时间段内的电路消耗, 整体列级功耗减小 90% 以上, 实现了红外焦平面读出电路整体列级输出的超

低功耗。

此外采用此种分时选通技术还可以降低列级总线建立时间的要求, 允许列输出级偏置电流更小, 进一步降低列级功耗。如图 5(b) 中所示, 当第一列信号 OUT_1 进行输出时, 可以允许在此期间第二列的预选通信号 VBSEL(2) 也有效, 预先在第二列总线上建立信号。由于此时 OUT_2 信号为低, 并不会影响当前列输出。当第二列信号输出时, 第一列 OUT_1 信号变为低, OUT_2 信号变为有效, 此时列总线上的信号已经建立完成, 输出缓冲器可以迅速将有效信号进行输出。也即分时选通技术允许提前半个时钟周期在输出总线上建立信号, 比如对于 5 MHz 的系统时钟频率, 允许的建立时间为 100 ns, 降低了对输出缓冲器的速度要求, 从而降低功耗。

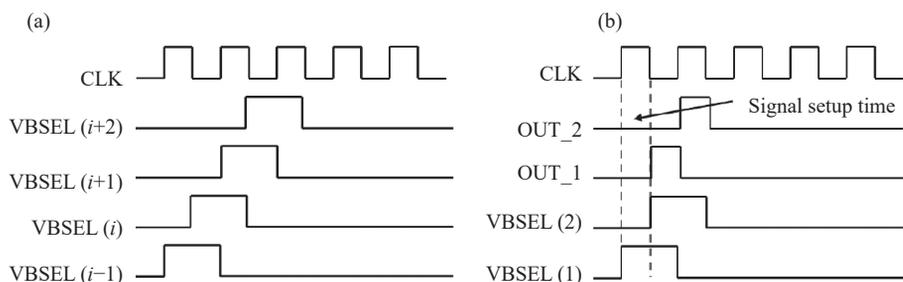


图 5 (a) 列级输出缓冲器的工作时序; (b) 列级分时选通技术时序示意图

Fig.5 (a) Operating timing of the column-level output buffers; (b) Timing diagram for column-level time-selection technology

4 可编程开窗数字 IP 核

随机开窗功能是面向大规模红外焦平面实现高帧频读出的一种有效方法, 同时还可以实现大视场下局部感兴趣区域读出细察的功能。对于红外焦平面

读出电路来说, 受到日益复杂的红外探测器定制化应用需求驱动, 使得读出电路芯片的设计周期、成本以及设计难度等不断提升。文中提出的可编程开窗 IP 核技术具有易于扩展、算法可复用、不占用像元面积等优势, 同时通过生成列级分时选通技术的功耗控

制信号,可以实现列级输出模块的超低功耗。此 IP 核技术基于标准数字 IC 设计流程实现,先将抽象的开窗功能转化为硬件描述语言进行前端逻辑仿真并综合成门级网表,然后利用数字后端软件进行版图布局优化,生成高集成度的数字 IP 核版图文件。

可编程开窗 IP 核输入端口为时序和命令字控制信号,输出为对应的行列地址信号。用户可通过外部写入命令字来控制电路读出的起始位置以及开窗尺寸大小,实现感兴趣区域读出,同时还具有保持上一帧输出以及防溢出的功能。文中提出的可编程开窗数字 IP 核采用行列地址控制开窗架构,通过产生行列起始地址线控制信号,进而控制开窗读出的区域。对于一个规模为 $M \times N$ 的红外焦平面阵列来说,

每次读出都有一个行地址和列地址通过计数器同时被选中,这样这个地址对应的唯一像元信号就能够被读出。

可编程开窗数字 IP 核的顶层结构如图 6 所示,主要包括命令字读入与时序控制模块、核心开窗算法模块和行列译码器模块。命令字读入后首先被转换成开窗控制的行列起始地址信号和窗口大小信号,并传递给核心开窗模块。作为开窗功能的主体逻辑,核心开窗模块负责在外界帧同步信号控制下按照命令字进行行列地址变换,并在窗口结束时产生相应标志信号。行列译码器模块负责在使能信号控制下完成行、列地址译码,形成最终与读出电路像元阵列互连的行列控制信号。

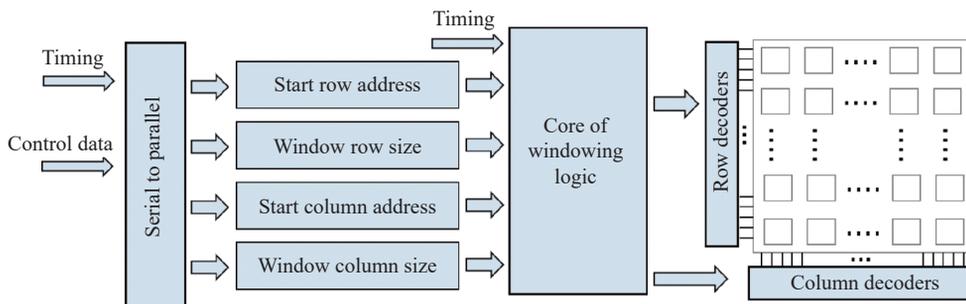


图 6 可编程开窗数字 IP 核顶层逻辑

Fig.6 Top-level logic for the programmable windowing digital IP core

将可编程开窗 IP 核用 Verilog 代码进行 RTL 级的设计实现,为了验证功能,设计了一款针对 640×512 红外焦平面阵列的数字开窗逻辑。图 7 中展示了设定起始位置为第 32 行和第 32 列,开窗尺寸为 8×8 的

仿真结果,可以看出列选信号产生 32~39 列,与预设条件一致。其中采用列级分时选通技术,提前两个时钟周期开启列级缓冲器,给列级总线上提供足够的信号建立时间,减少了非必要时间段内的列级电路

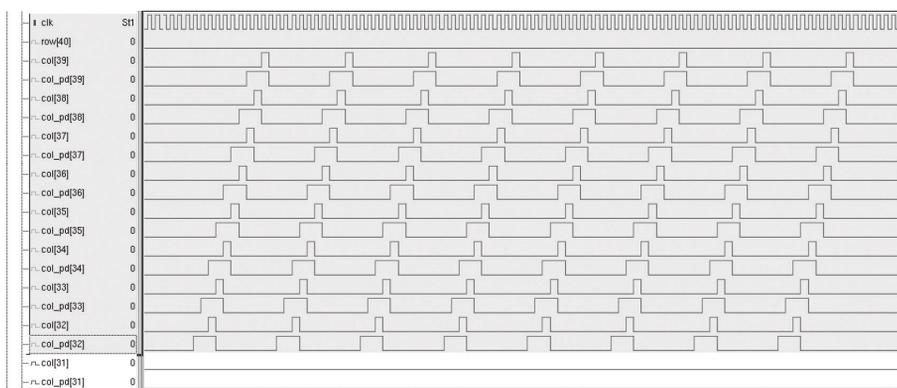


图 7 随机开窗功能输出仿真,开窗尺寸 8×8

Fig.7 Arbitrary windowing function output simulation, readout area 8×8

功耗。

文中基于 0.18 μm 标准 CMOS 工艺设计了 640×512 规模红外焦平面阵列的可编程开窗 IP 核, 并借助数字后端工具进行综合布局, 生成了图 8 中所示的物理版图。相比于从门级电路定制化设计, 数字 IP 核设计流程可以极大缩短设计周期, 并且易于实现版图的高集成度。考虑到对模拟像元阵列的行、列地址控制功能, 可编程开窗 IP 核版图整体呈“L”型, 长度和高度分别为 $9800 \mu\text{m}$ 和 $8400 \mu\text{m}$, 内部布线区宽度为 $60 \mu\text{m}$, 行列地址线于版图内侧引出, 便于与模拟像元阵列电路版图集成。

将可编程开窗数字 IP 核模块电路版图与模拟像素阵列版图进行集成, 得到了中心距为 $15 \mu\text{m}$, 阵列规模为 640×512 的红外焦平面读出电路, 如图 9(a) 所

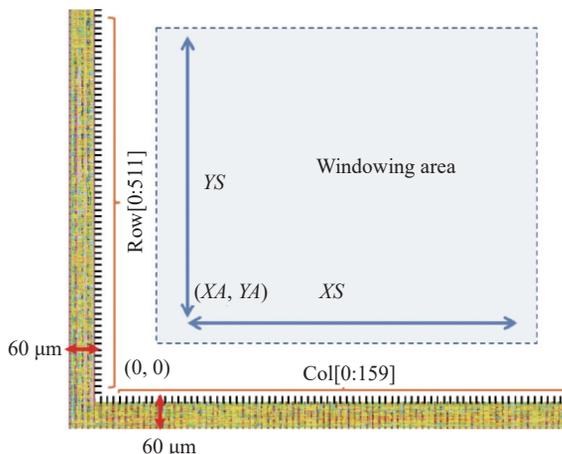


图 8 可编程随机开窗数字 IP 核版图

Fig.8 The layout of programmable arbitrary windowing digital IP core

示, 经过加工流片后得到图 9(b) 中的可编程开窗读出电路芯片。

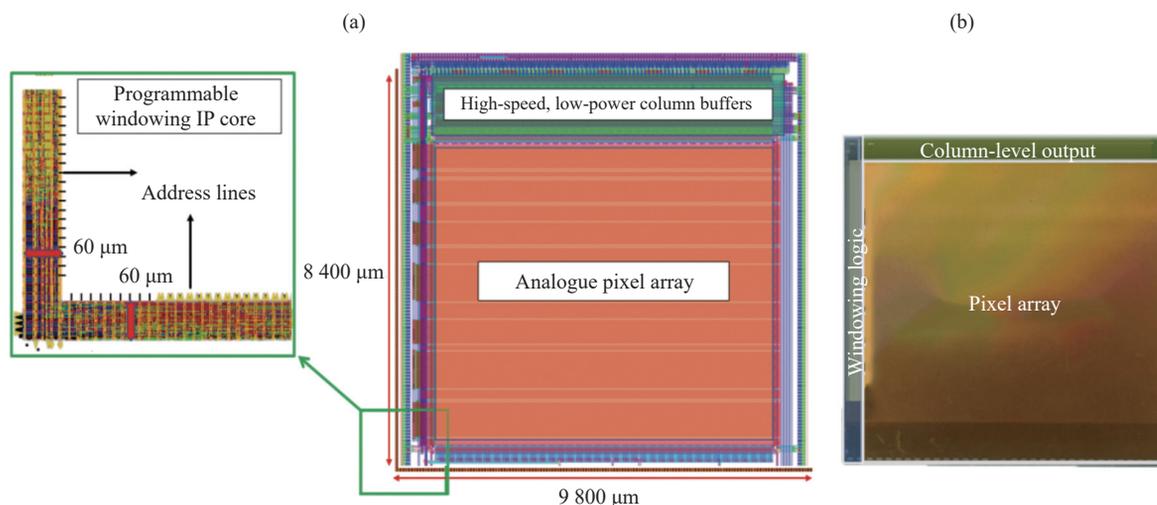


图 9 (a) 640×512 规模可编程随机开窗红外焦平面读出电路整体版图; (b) 读出电路芯片模具照片

Fig.9 (a) The layout of 640×512 scale programmable arbitrary windowing IRFPA ROIC; (b) Die photograph of ROIC chip

5 测试与验证

流片后的可编程开窗读出电路芯片与 640×512 元短波红外 InGaAs 探测器芯片成功实现了倒装焊互连, 得到了红外焦平面探测器组件。搭建了图 10 中所示的红外焦平面测试系统, 主要包括直流电源、5078 时序发生器、数字采集卡、黑体光源和专用 PCB 测试板等, 对 640×512 规模的 InGaAs 红外焦平面探测器组件进行开窗功能测试。

为了验证电路的开窗功能, 在焦平面组件感光区域前放置了排针进行成像, 分别验证了全画幅读出、

左上角开窗、正中心开窗和开窗地址溢出等几种典型应用场景下的电路功能, 得到的焦平面图像如图 11 所示。测试结果表明, 整个 640×512 规模的 InGaAs 红外焦平面探测器组件功能正常, 可编程开窗数字 IP 核的功能符合设计预期, 可以实现指定区域开窗, 有效提高读出电路帧频。列级输出电路的功耗主要来自输出缓冲器, 测试结果表明, 文中提出的分时选通技术有效降低了功耗, 其中在 3.3 V 电源供电下, 整个组件的总功耗低于 80 mW, 列级功耗仅为 15 mW, 读出速率达到 15 MHz, 电路相关测试参数如表 1 所示。

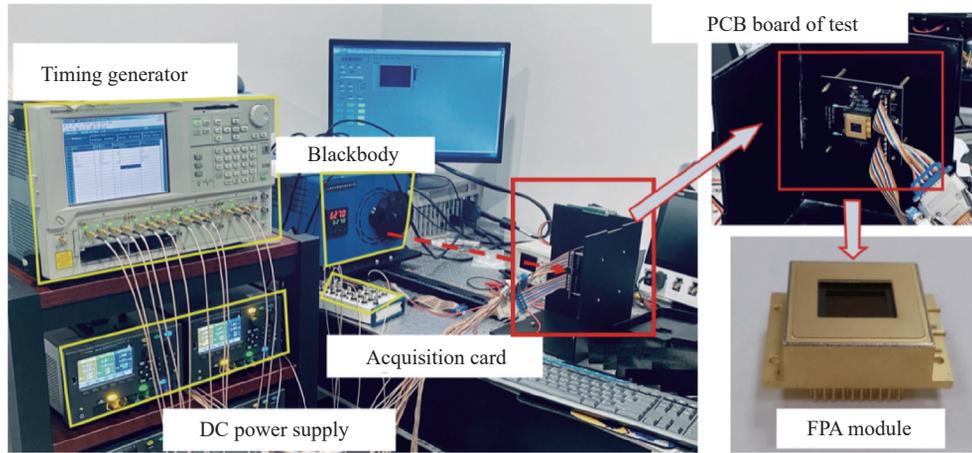


图 10 红外焦平面读出电路芯片测试平台和焦平面组件
Fig.10 Test platform of the IRFPA ROIC chip and the FPA module

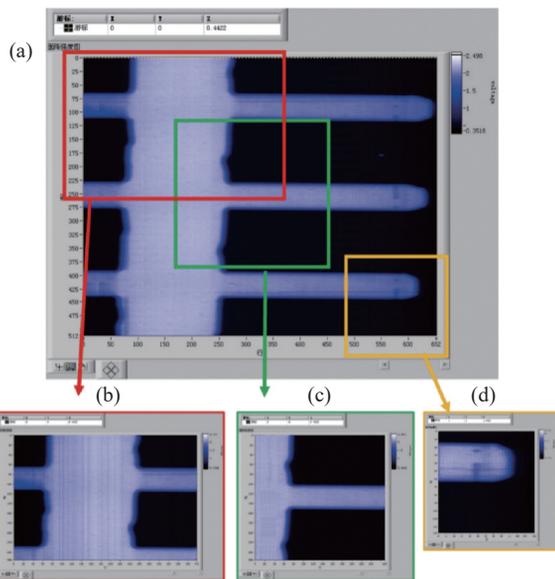


图 11 可编程随机开窗功能验证。(a) 全幅成像; (b) 左上角开窗 384×256; (c) 正中心开窗 256×256; (d) 右下角溢出开窗 128×128

Fig.11 Verification of programmable arbitrary windowing function.
(a) Full-frame imaging; (b) Top left windowing 384×256;
(c) Center windowing 256×256; (d) Bottom right windowing overflow test 128×128

表 1 可编程任意开窗红外焦平面组件主要性能参数

Tab.1 The main performance parameters of the programmable arbitrary windowing IRFPA assembly

Parameter	Measurement
Array format	640×512
Technology	0.18 μm
Pixel pitch	15 μm

续表 1

Continued Tab.1

Parameter	Measurement
Readout mode	ITR & IWR
Input stage	CTIA
Read rate	15 MHz
Power consumption	80 mW
Frame rate (typical windowing size)	180 Hz (640×512) 3 kHz (128×128) 50 kHz (32×32)
FPA's dynamic range	>70 dB
Output swing	2.5 V
Chip area	12 mm×10.4 mm

6 结 论

面向红外焦平面高帧频读出的应用需求,文中提出了一种可编程开窗数字 IP 核模块设计,可以在开窗模式下实现高帧频读出。此可编程开窗 IP 核采用行列地址控制开窗架构,对于不同规模的红外焦平面读出电路,开窗核心算法可复用,具有良好的扩展性,而且不占用像元内面积。同时针对高帧频读出时面临的功耗较高的问题,采用了一种列级分时选通技术,对读出电路列级模块进行了超低功耗优化。研制中基于 0.18 μm 标准 CMOS 工艺实现了可编程开窗 IP 核版图与模拟像元阵列版图的集成,实现了中心距 15 μm, 640×512 规模的低功耗高速可编程任意开窗红外焦平面读出电路。通过与 640×512 元短波红外 InGaAs 探测器芯片倒装焊互连后进行测试,结果表明,列级分时选通技术可以有效降低功耗,电路读出总功耗小于 80 mW,列级功耗仅有 15 mW,读出速率

达到 15 MHz, 可编程开窗数字 IP 核功能正常, 可实现任意区域的开窗。为后续大规模小间距红外焦平面高帧频低功耗读出电路奠定了技术基础。

参考文献:

- [1] Lv Jie, Luo Yong, Qing Song, et al. Application analysis of infrared guidance technology in airtoair missile [J]. *Journal of Ordnance Equipment Engineering*, 2017, 38(12): 70-74. (in Chinese)
- [2] Reago D A, Horn S B, Campbell Jr J, et al. Third-generation imaging sensor system concepts[C]//Infrared Imaging Systems: Design, Analysis, Modeling, and Testing X. SPIE, 1999, 3701: 108-117.
- [3] Chen Nan, Zhang Jiqing, Mao Wenbiao, et al. High-dynamic-range and high-sensitivity IRFPA digital-pixel ROIC technology (Invited) [J]. *Infrared and Laser Engineering*, 2022, 51(3): 20210821. (in Chinese)
- [4] Yu Chunlei, Gong Haimei, Li Xue, et al. 2 560×2 048 short-wave infrared InGaAs focal plane detector (Invited) [J]. *Infrared and Laser Engineering*, 2022, 51(3): 20210941. (in Chinese)
- [5] Wang Lei, Xie Liang, Sun Weifeng, et al. Implement of windowing in ROIC [J]. *Chinese Journal of Electron Devices*, 2008, 31(6): 1883-1886. (in Chinese)
- [6] Shen K, Ruan A W, Hu B. Design of a control circuit for a user reconfigurable ROIC for IRFPA applications [J]. *COMPEL-The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, 2010, 29(2): 327-337.
- [7] Liu X, Zhang M, Van der Spiegel J. A low power multi-mode CMOS image sensor with integrated on-chip motion detection[C]//2013 IEEE International Symposium on Circuits and Systems (ISCAS), Beijing, China, 2013: 2416-2419.
- [8] Rubaldo L, Brunner A, Berthoz J, et al. Image quality improvement against the backdrop of SWAP and pitch reduction[C]//Infrared Technology and Applications XLV. SPIE, 2019, 11002: 280-289.
- [9] Inceturkmen E, Akbulut M, Ergen E, et al. Development of 1 280×1 024 10 μm pixel pitch ROIC for MWIR IIR detectors[C]//Infrared Technology and Applications XLVIII. SPIE, 2022, 12107: 450-457.
- [10] Crastes Sr A, Ruiten M, Gierkink Sr S, et al. Recent uncooled IR development based on state of the art digital ROIC[C]//Infrared Sensors, Devices, and Applications XI. SPIE, 2021, 11831: 40-49.
- [11] Wang Fuqiang. Design of a low-power readout integrated circuit for 640×512 irfpas[D]. Nanjing: Southeast University, 2018. (in Chinese)
- [12] Kataria H, Asplund C, Lindberg A, et al. Novel high-resolution VGA QWIP detector[C]//Infrared Technology & Applications XLIII. SPIE, 2017, 10177: 101772C.
- [13] Cui Changkun, Chen Nan, Zhong Shengyou, et al. Research on ROI readout technology of ROIC [J]. *Infrared and Laser Engineering*, 2022, 51(11): 20220100. (in Chinese)
- [14] Castro R D, Castillo S M, Juárez R R, et al. Advanced region of interest function for image sensors: US Patent, 9979904[P]. 2018-05-22.

Study of low-power readout circuit based on a programmable windowing IP core

Wang Hongyi^{1,2,3}, Tao Wengang^{1,2,4}, Lu Yifan^{1,2,3}, Zhang Yonggang^{1,2}, Huang Songlei^{1,2}, Fang Jiaxiong^{1,2}

(1. State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 3. University of Chinese Academy of Sciences, Beijing 100049, China; 4. ShanghaiTech University, Shanghai 201210, China)

Abstract:

Objective Infrared focal plane detectors are moving towards larger scale, higher frame rates, and higher levels of integration. In application scenarios such as high-speed target tracking and detection and region of interest imaging, the difficulty of high power consumption faced at high-speed readout needs to be addressed. As the spatial resolution of the infrared focal plane detectors has gradually increased to today's millions and even tens of millions of pixels, the size of the infrared focal plane arrays (IRFPA) has grown, and the need for high frame rate readout and random windowing has become increasingly urgent. At the same time, the increase in scale has also brought about a continuous increase in circuit power consumption, and the circuits that achieve these functions are

becoming increasingly complex. The traditional design of digital readout integrated circuit (ROIC) modules from the transistor level is becoming increasingly difficult. Random windowing is an effective way to increase the IRFPA ROIC frame rate and enable the readout of regions of interest. As the need for increasingly complex IR detector customisation grows, the typical architecture of existing ROIC implemented at the chip level for random windowing has many limitations, such as long design cycles for customisation, poor scalability of different-sized arrays and the difficulty of achieving small cell sizes in terms of the occupied pixel area.

Methods For large-format IRFPA high frame rate applications, this paper proposes a programmable windowing IP core design (Fig.7) based on the digital IC design flow implementation and achieves ultra-low power optimisation of the 640×512 readout circuit column module by using a column-level time-selection technology (Fig.5). The pixel cell circuit contains a CTIA input stage, a double sample-and-hold structure and a follow output structure (Fig.3), that compromises the optimisation of area, noise, gain, etc. A low-noise, high-speed programmable arbitrary windowing 640×512 ROIC with pixel pitch $15 \mu\text{m}$ is designed and fabricated in $0.18 \mu\text{m}$ CMOS technology (Fig.10). The ROIC is coupled with a short-wave infrared InGaAs detector chip to form an FPA assembly and tested at room temperature.

Results and Discussions The infrared focal plane test system (Fig.11) consists of a DC power supply, a 5078 timing generator, a digital acquisition card, a blackbody light source and a dedicated PCB test board for the functional testing of the 640×512 scale InGaAs infrared focal plane detector assemblies with windowing. A row of pins was placed in front of the sensing area of the focal plane assembly for imaging to verify the circuit windowing function. The circuit function was verified in several typical application scenarios, such as full frame readout, upper left corner windowing, centre windowing and windowing address overflow, respectively, to obtain an IRFPA windowing image (Fig.12). The test results show that the entire 640×512 scale InGaAs IR detector assembly functions normally, and the programmable windowing digital IP core functions as expected, which can realise the specified area windowing and effectively improve the ROIC frame rate. The power consumption of the column-level output circuit mainly comes from the output buffer. The time-selection technology proposed in the paper effectively reduces the power consumption, in which the total power consumption of the whole assembly is less than 80 mW under the 3.3 V power supply. The power consumption of the column level is only 15 mW , and the readout rate reaches 15 MHz (Tab.1).

Conclusions In this paper, a programmable windowing digital IP core module design is proposed based on the digital IC design flow implementation, which can achieve high frame rate readout in windowing mode. This programmable windowing IP core uses a row-address-controlled windowing architecture, allowing the windowing core algorithm to be reused for different-sized IRFPA readout circuits with good scalability and no pixel area occupation. At the same time, to address the problem of high power consumption in high frame rate readout, a time-selection technology is used to optimise the ultra-low power consumption of the column-level module of the ROIC. The programmable windowing IP core layout is integrated with the analogue pixel array layout to achieve a scale of 640×512 , $15 \mu\text{m}$ low-power, high-speed programmable arbitrary windowing IRFPA readout circuit based on a $0.18 \mu\text{m}$ CMOS process. The ROIC is coupled with a short-wave infrared InGaAs detector chip to form an FPA assembly and tested at room temperature. The results show that the time-selection technology effectively reduces the power consumption of the column-level circuit, the total power consumption of the circuit readout is less than 80 mW while the power consumption of the column-level is only 15 mW , and the readout rate reaches 15 MHz . The programmable windowing digital IP core functions properly, allowing for the readout of specified areas. The work in this paper provides the technical basis for subsequent large-scale small-pitch IRFPA high frame rate low power ROICs.

Key words: programmable arbitrary windowing; time-selection technology; ROIC; InGaAs; short-wave infrared

Funding projects: National Natural Science Foundation of China (62175250); Youth Innovation Promotion Association, Chinese Academy of Sciences (2020245)